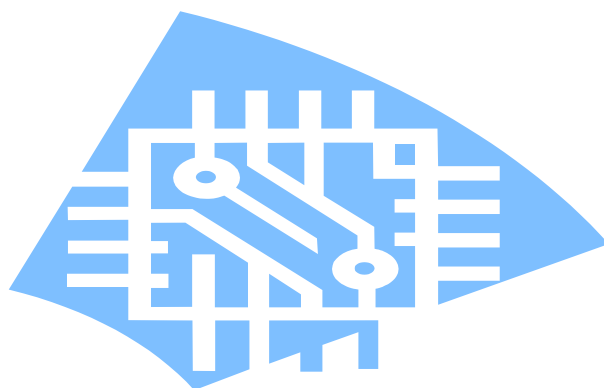


Ю. Ф. Адамов.

ПРОЕКТИРОВАНИЕ СИСТЕМ НА КРИСТАЛЛЛЕ



Москва
2005

Оглавление

Оглавление	2
1. Современная технология и производство систем на кристалле	5
Закон Мура в современной микроэлектронике	5
Развитие элементной базы БИС	6
Ограничения кремниевой технологии	6
Прогноз предельных параметров МОП приборов	8
Производственный маршрут и его связь с объемом выпуска микросхем	9
Производственные связи	10
Выбор производителя заказных микросхем	11
2. Системы на кристалле в современной электронике	12
Развитие САПР и методологии проектирования БИС	12
Выбор технологии для СНК	16
Техническое обеспечение проекта СНК	18
3. Маршрут проектирования заказных БИС и систем на кристалле	20
Выбор маршрута проектирования	20
Основные этапы проектирования заказных БИС и систем на	21
а). Подготовительный этап	21
б) Системное проектирование	22
в) Системная верификация	22
г) Функциональное проектирование	23
д) Функциональная верификация	25
е) Физическое проектирование	26
ж) Физическая верификация	28
з) Аттестация проекта	29
4. Искажения сигналов и шумы в современных БИС	30
Условия передачи сигналов в системах на кристалле	30
Расчет шумов, помех и методы их снижения	31
5. Особенности проектирования аналоговых СФ-блоков	37
Маршрут проектирования аналоговых блоков	37
Статистический анализ модели СФ-блока	39
Учет влияния внешних цепей	43
Физическое проектирование	44
Модель высокого уровня	46
Аттестация аналоговых блоков	47
Отличия в проектировании аналоговых СФ-блоков и заказных СБИС	48
6. Синхронизация и связность сигналов в системах на кристалле	49
Обеспечение синхронизации сигналов на этапе системного проектирования	49
Обеспечение синхронизации сигналов на этапе функционального проектирования	50
Обеспечение синхронизации на этапе физического проектирования и верификации	51
Обеспечение синхронизации и связности сигналов на этапах аттестации проекта, производства изделий и их применения	52
Элементы подсистем синхронизации для СФ-блоков	52
Синхрогенераторы для СФ-блоков	53
Адаптивные драйверы	54
Блок инициализации (начальных установок)	55
7. Моделирование аналого-цифровых систем с использованием языка Verilog-A	57
Языки описания аналоговых устройств и используемые симуляторы	57
Области применения языка Verilog-A	57
Основы языка Verilog-A	58
а) Иерархия системы	58

б) Структура модуля в языке Verilog-A.....	58
в) Аналоговые операторы.....	59
г) Математические функции.....	61
8. Защита микросхем от электростатического разряда.....	65
Возникновение электростатических разрядов и их действие на микросхемы.....	65
Испытания ИМС на устойчивость к электростатическому разряду, характеристика устойчивости.....	66
Элементы защиты от электростатического разряда.....	66
Моделирование режима электростатического разряда.....	67
Процедура оптимизации элементов защиты ИМС от электростатического разряда.....	69
9. Тепловые процессы в интегральных микросхемах.....	71
Система параметров теплового режима ИМС.....	71
Максимально допустимая рабочая температура.....	71
Тепловое сопротивление R_T	71
Переходное тепловое сопротивление $RT1$ и тепловая постоянная времени.....	71
Коэффициент теплоотдачи α	72
Контроль тепловых режимов.....	72
Условия охлаждения ИМС и их влияние на тепловые параметры.....	73
Зависимость внутреннего теплового сопротивления R_{sp} от температуры.....	73
Зависимость внутреннего теплового сопротивления от интенсивности охлаждения.....	74
Зависимость внутреннего теплового сопротивления R_{sp} от площади кристалла.....	74
Зависимость полного теплового сопротивления от интенсивности охлаждения.....	75
10. Обеспечение надежности систем на кристалле.....	78
Основные причины отказов.....	78
а) Коррозия металлизации.....	78
б) Электромиграция в проводниках металлизации.....	78
в) Дислокации в напряженных кристаллах.....	78
г) Диффузия загрязняющих примесей в диэлектрике.....	79
д) Скрытые дефекты структуры.....	79
е) Электростатические разряды через выводы микросхемы.....	79
Обеспечение надежности при проектировании электрических схем.....	79
Конструктивно – технологические методы повышения надежности.....	80
а) Защита от коррозии.....	80
б) Защита от электромиграции.....	80
в) Снижение термомеханических напряжений в кристаллах.....	81
г) Борьба с загрязняющими примесями.....	81
д) Снижение уровня скрытых дефектов.....	81
Обеспечение надежности на этапе производства.....	82
Обеспечение надежности микросхем в аппаратуре.....	82
11. Основы теории выхода годных.....	83
Связь коэффициента выхода годных и съема кристаллов с пластины.....	83
Производственная статистика выхода годных изделий.....	83
Выход годных и «закон Мура».....	86
Выход годных и надежность.....	87
12. Организация контроля изделий электронной техники.....	88
Цель контроля.....	88
Участники контроля.....	88
Организация контроля.....	88
Этапы контроля.....	89
Документация для организации контроля.....	90
13. Организация испытаний изделий электронной техники.....	92
Цель испытаний.....	92

Участники испытаний.....	92
Организация испытаний.....	92
Категории испытаний.....	93
Группы испытаний и выборки.....	94
Результаты испытаний.....	95
14. Конструктивная реализация микросхем.....	96
Основные определения.....	96
Корпуса для интегральных микросхем.....	98
Тип 1.....	98
Тип 2.....	98
Тип 3.....	98
Тип 4.....	98
Тип 5.....	98
Тип 6.....	98
Пластмассовые корпуса.....	98
Металлокерамические корпуса.....	99
Металлостеклянные корпуса.....	99
Стеклокерамические корпуса.....	99
Многокристальные модули, бескорпусные и гибридные микросхемы.....	100
15. Организация разработок микросхем в дизайн-центре.....	102
Дизайн-центры в системе разработки и производства ИМС.....	102
Задачи управления дизайн-центром.....	103
Управление проектами.....	104
Организация связи и обмена информацией с фабриками.....	104
Управление ресурсами.....	105
Обязанности главного конструктора.....	105
Продвижение разработок и освоение производства.....	106
Создание имиджа и торговой марки компании.....	107
16. Подготовка производства изделий электронной техники.....	108
Задачи подготовки производства.....	108
Организация системы контроля качества.....	108
Управление себестоимостью продукции.....	110
Роль стандартов в управлении себестоимостью и качеством продукции.....	111
Организационные структуры системы стандартизации.....	111

1. Современная технология и производство систем на кристалле

Закон Мура в современной микроэлектронике

В 60-е годы XX века известный менеджер и теоретик микроэлектроники Гордон Мур сформулировал тенденцию в развитии технологии микросхем в виде эмпирического правила, получившего название «закон Мура». Согласно этому правилу минимальный размер элементов микросхем уменьшается в $\sqrt{2}$ раз, а число элементов на кристалле увеличивается в 2 раза через каждые 2,5 года. И вот уже 40 лет «закон Мура» выполняется лишь с небольшими отклонениями. Очевидно, что действие «закона Мура» ограничено молекулярными размерами и физическими законами, лежащими в основе технологии и физики полупроводниковых приборов. Однако до настоящего времени полупроводниковая промышленность при подготовке планов развития ориентируется на «закон Мура». Первый согласованный план развития полупроводниковой промышленности был разработан в США и действовал 10 лет с 1990 по 1999г. План получил название «дорожная карта» - NTRS (National Technology Roadmap for Semiconductors). Следующий план разработан уже на срок 15 лет с 2000 до 2014 года и стал международным. К участию в его реализации подключились все страны с развитой полупроводниковой промышленностью. План называется традиционно «дорожная карта» ITRS (International Technology Roadmap for Semiconductors). Рубежи 2014г. соответствуют достижению минимальных размеров элементов 14÷15 нм.

Согласно «дорожной карте» технологическое оборудование, технологические процессы, физические структуры элементов микросхем разрабатываются для создания нового производства, обеспечивающего уменьшение размеров элементов в $\sqrt{2}$ раз и увеличение числа элементов вдвое. Технологические маршруты классифицируются по поколениям и унифицируются в одном поколении. «Дорожная карта» позволяет технологам и конструкторам всего мира сосредоточить усилия на создании единственного, полностью совместимого комплекта оборудования и технологического маршрута нового поколения. При этом разработанные и освоенные производственные процессы в дальнейшем серьезно не изменяются. Например, производства, разработанные для минимальных размеров 0,6÷0,8мкм и использующие пластины диаметром 150мм, не переходят на пластины 200мм. Производственные участки, работающие с размерами 0,35÷0,18мкм, используют в основном пластины диаметром 200мм. Выбор диаметра пластин определяется стоимостью их обработки в полупроводниковом производстве, которая в 2÷4 раза превышает стоимость пластин. С увеличением размеров полупроводниковых пластин их стоимость увеличивается быстрее, чем площадь. Поэтому, существует оптимальный

размер пластин, обеспечивающий минимальную стоимость производимых микросхем.

Развитие элементной базы БИС

Двадцать пять лет назад в микросхемах использовались только биполярные транзисторы. Ограничения на мощность электронной аппаратуры привели к появлению КМОП приборов. Сейчас актуально стоит вопрос: чем можно будет заменить КМОП-транзисторы в постоянной гонке за быстродействие и миниатюризацию электронной аппаратуры.

Для МОП-транзистора физический предел длины затвора лежит в области 10нм, а технологический – в области 15нм. Сейчас в производстве осваиваются микросхемы с длиной затвора 60нм. Размеры элементов менее 60 нм получают с использованием электронно-лучевой литографии. Этот размер считается пределом оптической литографии. В лабораторных условиях получены МОП-транзисторы и устройства на их основе с длиной затвора до 8нм, т.е. уже получены микросхемы на пределе физических ограничений.

Актуально стоит вопрос и о замене кремниевой электроники за пределами действия “закона Мура”. Очевидно, что электроника разделится на ряд технологически независимых направлений. Уже сейчас формируются следующие направления:

- функциональная электроника, включающая микромеханику, оптоэлектронику, акустоэлектронику, магнитоэлектронику и т.д.;
- традиционная схемотехническая электроника на основе широкозонных полупроводников, позволяющая использовать приборы с размерами 2÷4нм;
- квантовая электроника, использующая в основе вычислений квантовые взаимодействия между атомами. Уже создан прототип квантового компьютера.

Ограничения кремниевой технологии

Физические ограничения. Размер волны Де-Бройля для свободного электрона в зоне проводимости 5нм. Толщина подзатворного диэлектрика - SiO₂ не может быть менее 1нм как по технологическим причинам (это два молекулярных слоя), так и по причине туннельных токов через диэлектрик. Сейчас технологический предел оценивается в 2,0нм. Минимальная длина затвора определяется двумя эффектами: усилением транзистора и туннельным током сток-подложка. При высокой концентрации легирующей примеси в подложке туннельный ток будет сравним с током канала. При низкой концентрации – области пространственного заряда истока и стока перекрываются, напряжение сток-исток открывает *p-n* переход истока и через подложку течет ток, ограниченный пространственным зарядом (ОПЗ).

Усиление транзистора при этом падает. При длине затвора 10нм и прямом смещении изолирующего перехода исток-подложка еще можно получить усиление в МОП транзисторе. Практический предел – 14нм÷18нм.

Емкость затвора минимального транзистора (10нм×10нм) составит всего $2 \cdot 10^{-18}$ Фарад. При рабочем напряжении 0,8В и пороговом напряжении 0,2В в канале не может находиться более 6 электронов.

Ток в транзисторе будет меняться дискретно и статистически, т.к. заряд электрона дискретный. Высокий уровень дробовых шумов, связанных с дискретностью заряда, не позволит использовать максимальное быстродействие МОП транзистора, определяемое емкостью затвора и крутизной ВАХ.

Статистическим распределением легирующей примеси в подложке под затвором определяется и воспроизводимость порогового напряжения. Для того же минимального транзистора в ОПЗ подложки под затвором будет в среднем 5 легирующих атомов. Разброс порогового напряжения будет сравним с напряжением питания.

С уменьшением размеров и токов приборов повышается их чувствительность к космическим частицам и продуктам радиоактивного распада в материалах конструкции БИС. Схемными и конструктивными средствами избежать сбоев нельзя.

Контактные потенциалы в структуре не масштабируются, поэтому напряжение питания нельзя уменьшить менее 0,5В.

Скорость распространения сигналов в проводниках ограничена скоростью света. В тонких проводниках микросхем ограничение $R-L-C$ параметрами линии связи снижает эту скорость еще в несколько раз.

Ограничения материалов. Для сверхтонких МОП структур с толщиной диэлектрика ~1нм возможно применение только SiO_2 , который обеспечивает низкую плотность поверхностных состояний на границе раздела. Для диэлектриков с толщиной 1,5нм и более возможно применение двухслойных структур, в которых нижний слой SiO_2 , а верхний Si_3N_4 , Al_2O_3 или другой диэлектрик с большой диэлектрической проницаемостью. Рассматривается применение диэлектриков типа перовскитов (SrTiO_3), имеющих диэлектрическую проницаемость до 1500.

Для транзисторов с минимальными размерами (~10нм) невозможно создать статистически однородный профиль легирования подложки, однако, уменьшить ток, ограниченный пространственным зарядом можно, используя ретроградный профиль легирования и снижение температуры до 77К (жидкий азот). Для создания контактов истока и стока потребуются новые процессы, позволяющие создавать неравновесный уровень легирования кремния выше предела растворимости.

Пропорциональное масштабирование требует уменьшения размеров не только транзисторов, но и проводников. Удельное сопротивление металла определяется длиной свободного пробега электронов, которая зависит от температуры и плотности дефектов. Дефектами служат и границы проводников. Для тонких металлических пленок сопротивление определяется

только границами. В пределе все металлические пленки имеют одинаковое сопротивление, определяемое только толщиной. В пленках наблюдается еще и кристаллизация. Если толщина пленки меньше размера кристалла, то пленка рвется на островки и ее сопротивление стремится к бесконечности. Для медной пленки критическая толщина 30нм, при которой пленка распадается на островки. Критическую толщину пленок можно уменьшить, используя сплавы (например, Cu + Zn) и многослойные структуры TaN_x – (Cu + Zn) – TaN_x.

Минимальные литографические размеры ограничены свойствами оптических материалов. Для самого коротковолнового лазера на F₂, имеющего длину волны излучения 157нм используется оптика на основе CaF₂, сейчас неизвестны оптические материалы с большей шириной запрещенной зоны. Для излучения 157нм минимальный размер рисунка – 60÷70нм.

При получении размеров элементов менее 60нм с использованием электронной литографии требуются уже неорганические электронорезисты. Размеры органических молекул в резистах составляют десятки нанометров и получить размер менее одной молекулы невозможно. Чувствительность известных неорганических резистов много ниже, чем органических. Сейчас пока нет высокопроизводительного электронно-лучевого оборудования, а для его создания требуется определенное время. Поэтому, “закон Мура”, вероятно, будет нарушен на рубеже 60нм.

Прогноз предельных параметров МОП приборов

Специализация кремниевой технологии проявляется уже сейчас, однако, за рубежом 80нм вероятно произойдет полное разделение технологических процессов для процессоров, памяти и мобильного оборудования с автономным питанием. Для скоростных процессоров допустимо применение сложных систем охлаждения и наличие токов утечки в КМОП приборах. Прогноз предельных параметров приборов для процессоров:

- рабочая температура – 40°С ÷ –170°С;
- напряжение питания 0,5 ÷ 0,8В;
- длина канала 14÷18нм;
- толщина подзатворного окисла 1,0÷1,2нм.

В схемах памяти утечки недопустимы. Будут использоваться транзисторы разных типов для накопителя и блоков управления. Охлаждение тоже нежелательно. Прогноз параметров дает следующие величины:

- рабочая температура до 85°С;
- напряжение питания 1,2 ÷ 1,5В;
- длина канала 40÷50нм;
- толщина подзатворного окисла 2,5÷3,0нм.

Для портативного оборудования с автономным питанием:

- рабочая температура до 85°С;
- напряжение питания 0,8 ÷ 1,2В;
- длина канала 20 ÷ 25нм;
- толщина подзатворного окисла 1,5 ÷ 1,8нм.

Производственный маршрут и его связь с объемом выпуска микросхем

Развитие электронного машиностроения приводит к повышению точности, производительности и стоимости технологического оборудования. В каждом новом технологическом поколении стоимость одного полупроводникового элемента снижается, а стоимость комплекта оборудования увеличивается. Эффективное использование оборудования требует его максимальной загрузки. А так, как время обработки пластин на разных операциях отличается, то и число единиц оборудования на участке должно быть обратно пропорционально времени обработки пластин на этом участке. Кроме этого, существуют профилактика, плановый ремонт и отказы оборудования. Число единиц любого оборудования не может быть меньше двух. Существует теория организации производства, согласно которой при 100% загрузке оборудования время полной обработки пластин стремится к бесконечности за счет увеличения времени ожидания в очереди. Значительное увеличение очереди на обработку очень нежелательно, т.к. это увеличивает необходимые оборотные средства предприятия и, самое главное, снижает процент выхода годных микросхем. В процессе ожидания на оголенных при обработке участках микросхем оседает пыль, происходит абсорбция газов, окисление кремния и т.д. В оптимальном маршруте загрузка оборудования составляет 70 ÷ 80%, а время ожидания пластин в очереди на обработку 30 ÷ 40% полного времени обработки.

Современный цех по обработке полупроводниковых пластин с минимальными размерами 0,18 ÷ 0,25 мкм обеспечивает выпуск около 1000 пластин диаметром 200мм в сутки. Время полной обработки пластин от 32 до 38 суток при чистом операционном времени от 20 до 24 суток.

Такая организация производственного маршрута называется сетевой. Сетевой маршрут обеспечивает наименьшую себестоимость продукции при больших объемах выпуска, но требует очень больших капиталовложений. Сравним стоимость комплектов оборудования для обработки пластин с разными минимальными размерами:

- 0,8мкм - 20млн долларов (оборудование бывшее в употреблении)
- 0,6мкм - 80млн долларов (новое оборудование)
- 0,18мкм - 1млрд долларов
- 0,13мкм - 3млрд долларов
- 0,09мкм - 8млрд долларов

При такой стоимости оборудования около половины стоимости обработанной пластины с размерами элементов 0,25 мкм и менее приходится на амортизацию оборудования.

Сетевой производственный маршрут делает крайне нерентабельным выпуск мелкосерийных и опытных изделий. Для мелкосерийного и опытного производства используются другой тип оборудования и кластерный маршрут. Оборудование для кластерного маршрута обеспечивает обработку пластин по одной. Каждая пластина является отдельной партией. Оборудование автоматизировано и передает пластины от одной установки к другой автоматически. Технологические установки соединены в одну конвейерную автоматическую линию. Кластерный маршрут требует минимальной численности обслуживающего персонала. Производительность линии определяется временем самого длительного процесса. В кластерном маршруте возможно использование дублирующих и резервных технологических установок, но обработка пластин по одной всегда остается. За счет снижения производительности стоимость кластерного оборудования значительно меньше, чем сетевого. Количество единиц оборудования в цеху для кластерного производства также в несколько раз меньше. Стоимость полного комплекта кластерного оборудования, примерно, в 10 раз ниже, чем сетевого. Производительность такого цеха 20÷30 пластин в сутки. Стоимость обработанных пластин для кластерного маршрута в несколько раз выше, чем для сетевого, однако номенклатура выпускаемых изделий может быть очень велика.

Производственные связи

Рост производительности и стоимости оборудования для обработки пластин приводит к тому, что число новых производственных участков в мире сокращается. Только очень крупные корпорации в состоянии самостоятельно построить и загрузить цеха очередного нового технологического поколения. Большая часть производителей микросхем участвуют в развитии производственной базы на долевой основе. Причем, часто корпоративные производственные мощности бывают загружены не полностью и принимают заказы от сторонних разработчиков.

Другая форма организации производства основана на открытом акционерном финансировании нового производства и выполнении заказов любых сторонних разработчиков. Сейчас фабриками общего пользования выпускается более одной трети всех микросхем, а их доля в объеме выпуска постоянно растет.

На рынке электронных компонентов регулярно случаются кризисы перепроизводства отдельных видов продукции. Корпоративное производство обеспечивает меньшую стоимость микросхем при большом объеме их выпуска, но терпит убытки в периоды кризиса. Открытое производство на заказ менее специализировано на конкретных продуктах, поддерживает большую номенклатуру изделий и поэтому дороже. Однако отсутствие

специализации обеспечивает независимость от спроса на отдельные виды микросхем. Создание производственных фирм, открытых для любых заказчиков, стимулировало развитие огромного количества дизайн - центров по всему миру, включая Россию. Одновременно с дизайн – центрами развиваются и фирмы по оказанию услуг разработчикам, сборочные производства, фирмы, обеспечивающие тестирование и испытания микросхем, центры обучения и т.д.

Выбор производителя заказных микросхем

Выбор производственного маршрута определяется техническими характеристиками разрабатываемого изделия, планируемым объемом выпуска и допустимой себестоимостью кристаллов микросхем. Выбранный маршрут должен обеспечивать заданное быстродействие и потребляемую мощность. Расчет себестоимости ведется с учетом уменьшения площади кристаллов и роста стоимости пластин при уменьшении размеров элементов. На каждом этапе развития производственных мощностей существует диапазон минимальных технологических размеров, обеспечивающих минимальную себестоимость кристаллов в массовом производстве. Для современной микроэлектроники - это диапазон от 0,5 до 0,18 мкм. При меньших размерах (0,13 мкм) стоимость обработки пластин пока еще очень высока и не компенсируется уменьшением площади кристаллов. Для размеров более 0,5 мкм стоимость обработки пластин почти не уменьшается, а себестоимость кристаллов растет. Планируемый объем выпуска определяет максимально допустимые затраты на подготовку производства, которые зависят от стоимости фотошаблонов. Затраты на подготовку производства раскладываются на все проданные микросхемы. Стоимость комплекта фотошаблонов увеличивается примерно в три раза при переходе к технологии следующего поколения для размеров менее 0,5 мкм. Для больших размеров стоимость шаблонов слабо зависит от минимальных размеров. Наибольшее количество новых изделий осваивается на основе технологий с минимальными размерами 0,18 и 0,25 мкм. В ближайшей перспективе (2005г.-2006г.) произойдет переход на следующий уровень технологии 0.13÷0.18мкм.

2. Системы на кристалле в современной электронике

Развитие САПР и методологии проектирования БИС

Проблемы построения САПР. Согласно “закону Мура” число транзисторов на кристалле растет экспоненциально во времени. С усложнением интегральных устройств растет число требований к их элементам, что приводит к сверхэкспоненциальному росту необходимых вычислений в системе проектирования.

Современная технология полупроводниковых микросхем обеспечивает создание изделий электронной техники, объединяющих на одном кристалле более миллиарда транзисторов. При использовании традиционных методов проектирования для таких ультра БИС потребуются огромные трудовые и вычислительные ресурсы, а также новые программные средства проектирования и очень большие финансовые затраты. Уже на уровне сложности в несколько миллионов транзисторов проявляются ограничения традиционной методологии проектирования, в которой микросхема рассматривается как один объект.

- Первая проблема – это проблема больших чисел, т.е. рост объемов вычислений.
- Вторая проблема – это усложнение физических процессов (и их расчетов) для нанометровых размеров элементов. Например, квантовые явления и статистический разброс числа легирующих атомов в активных областях транзисторов, дискретный характер электрических зарядов при малых токах.
- Третья проблема – человеческий фактор. Разработчикам приходится создавать все более объемные спецификации на проекты. Очень сложно оценить оптимальность полученных решений. Большие объемы вычислений создают и большие массивы результатов. Требуются более высокие уровни описания проектов и представления результатов для управления процессом разработки.

Комплекс этих проблем не может быть решен механически только путем повышения производительности компьютеров и соответствующих программ. Требуется развитие методологии проектирования и иерархическое построение проектов ультра БИС.

Реализуемость проектов. Рост затрат на проекты требует чтобы большая их часть осваивалась в производстве и продавалась. Требуется методика и программы предсказания характеристик устройств, сроков и затрат на разработку, маркетинговые исследования. Сейчас осваивается около одной трети разработок. Время и затраты на разработку стали определяющим фактором при принятии решений.

Снижение затрат. Описание проекта должно осуществляться на самом высоком уровне абстракции. Для реализации проектов потребуются новые системы проектирования. Верхний – системный уровень описания должен

осуществляться с использованием языков высокого уровня (Matlab, C, C++, Систем C с соответствующими расширениями). САПР должна поддерживать единство проекта, начиная с системного уровня.

Совместимость технических решений. Совместимость технических решений является необходимой для расширения рынка сбыта. Совместимость должна пониматься и как технологическая, и как совместимость интерфейсов устройств, и как возможность масштабирования и расширения возможностей.

Функциональная верификация проекта. Моделировать все возможные комбинации состояний и переходов в сложной системе невозможно сейчас и не появится возможность в ближайшем будущем. Основное направление – это макетирование устройств или больших блоков с использованием ПЛИС, микропроцессоров или других специализированных микросхем. Специализированные генераторы тестовых задач для макетов должны быть основаны на последовательности случайных чисел. Система макетирования оказывается дешевле, чем моделирование.

Потребуется новая методика оценки результатов верификации при моделировании и макетировании. Поскольку процесс верификации требует много дней непрерывной работы компьютера или макетного стенда, а сбои всегда есть, то критерием годности проекта будет допустимый пороговый уровень ошибок за большой период времени (например, за неделю).

Обеспечение связности сигналов. Работоспособность электронной системы обеспечивается только при определенной последовательности управляющих и информационных сигналов. С увеличением задержек в линиях связи увеличивается и разброс задержек. Последовательность сигналов меняется, что приводит к нарушению алгоритма работы системы.

В СБИС проектирование линий связи между блоками – это отдельный этап проектирования, требующий особого внимания. Развитие систем связи на кристалле очень похоже на развитие систем связи в аппаратуре и идет в направлении создания асинхронных последовательных интерфейсов.

Автоматизация разработки топологии и физическая верификация. Синтезаторы топологии должны автоматически выполнять ряд важных этапов физического проектирования БИС:

- оптимальное размещение блоков с учетом их мощности и связей;
- построение системы электропитания;
- построение системы распределения синхросигнала;
- приоритетное построение сигнальных связей.

Потребуется создание программ верификации, рассчитывающих взаимодействие линий связи, помех, распространяющихся по подложке, помех в цепях питания и др.

Встроенные средства контроля. Контрольно-измерительного оборудования для тестирования БИС в реальном масштабе времени сейчас нет и создать его нельзя. Современные сочетания сложности и быстродействия достижимы только в составе БИС. Контроль сигналов можно осуществить только специальными регистрирующими блоками,

размещенными на том же кристалле. Проектирование системы встроенного контроля должно осуществляться одновременно с разработкой основной системы.

Инфраструктура, обеспечивающая функционирование САПР.
Эффективное применение САПР предполагает использование заранее подготовленных библиотек элементов и сложных блоков, а также программ, управляющих работой этих блоков. При этом должна обеспечиваться совместимость всех частей проекта. Полномасштабное внедрение новой методологии потребует создания международных информационных центров с банком блоков и программ, развития сети распространения блоков, разработки системы стандартизации и унификации блоков для систем на кристалле. Очевидно, потребуется информационная сеть, предназначенная для свободного бесплатного обмена и распространения информации о методах разработки систем на кристалле. Такая сеть может быть создана в Интернете. Процесс совершенствования методологии должен быть непрерывным и соответствовать уровню развития САПР.

Элементы новой инфраструктуры САПР сейчас уже создаются. В Интернете идет обмен информацией, фабрики создают банки блоков и предлагают их заказчикам. Фирмы-разработчики САПР создают центры поддержки проектов и центры обучения персонала. Включение России в этот процесс подтверждает глобальный масштаб перестройки мировой системы разработки микроэлектронных устройств.

Системы на кристалле – новая методология проектирования заказных микросхем

Способы реализации микроэлектронных устройств можно разделить на три основные группы:

- а) На основе универсальных микросхем: микропроцессоров, памяти, АЦП, операционных усилителей и др.;
- б) На основе микросхем, программируемых потребителем (ПЛИС, ПЛМ, ППЗУ);
- в) На основе заказных микросхем, разработанных специально для данного устройства.

Выбор способа реализации устройства определяется в первую очередь экономическими показателями, т.е. стоимостью используемых микросхем. Развитие технологии приводит к снижению производственных затрат на выпуск микросхем. Наилучшие технические и экономические показатели серийной аппаратуры обеспечивают заказные микросхемы. При этом, большой вклад в стоимость аппаратуры вносят затраты на разработку заказных микросхем.

Маршрут проектирования обычных заказных микросхем включает следующие основные этапы:

- а) Системное проектирование;
- б) Функциональное проектирование;
- в) Макетирование и функциональная верификация;

- d) Физическое проектирование и верификация;
- e) Аттестация проекта.

Наиболее трудоемкими и длительными по времени являются этапы «b» и «с». Именно эти этапы определяют основные затраты и время на разработку.

Кристалл БИС как системная плата. Основная идея в развитии методологии проектирования заказных микросхем – это использование в проекте уже готовых функционально законченных блоков. Примерно так, как это делается при разработке системы на плате с использованием универсальных микросхем.

Системы на кристалле (СНК) это методология разработки заказных микросхем на основе уже готовых сложнофункциональных блоков (СФ-блоков). Основой методологии является совместимость СФ-блоков в системе по принципу “включи и работай” (plug-and-play в англоязычной литературе).

Для реализации этого принципа СФ-блоки должны разрабатываться как автономные устройства со своими системами питания, синхронизации и интерфейсами.

Первая составляющая методологии систем на кристалле – это единые требования к СФ-блокам. Обязательными являются требования технологической совместимости, наличие детальных спецификаций и моделей высокого уровня.

Вторая составляющая – это конкретные базовые решения, обеспечивающие выполнение требований совместимости СФ-блоков.

СФ-блоки должны включать и элементы инфраструктуры системы (интерфейсы, системы питания и синхронизации, встроенные средства контроля). Инфраструктурные блоки не должны занимать большую площадь кристалла и использовать много внешних компонентов.

Третья составляющая – это универсальные правила, обеспечивающие объединение СФ-блоков в систему с наименьшим взаимным влиянием.

Маршрут проектирования СНК существенно сокращается и упрощается по сравнению с маршрутом полностью заказных микросхем. Методология проектирования СНК приближается к методологии разработки систем на печатных платах. Основной этап проектирования – это системный. Именно на этом этапе определяются все основные характеристики разрабатываемого микроэлектронного устройства. Этапы функционального проектирования и верификации объединяются и упрощаются. Моделирование схемы на транзисторном и вентиляционном уровнях вообще может не проводиться. Используются только модели высокого уровня. Возможно и исключение этапа макетирования СНК, если все используемые СФ-блоки аттестованы и адекватно описаны на языках высокого уровня (VHDL, VHDL-AMS и др.). Физическое проектирование также существенно упрощается, т.к. число используемых СФ-блоков и сигнальных связей между ними сравнительно невелико. По существу СНК являются полузаказными микросхемами и основные затраты приходятся на создание системы проектирования и распространения СФ-блоков. Основная выгода состоит в том, что каждый

СФ-блок используется во многих изделиях. Кроме этого, в несколько раз сокращается время разработки конечных продуктов.

Методология проектирования систем на кристалле предписывает выполнение проекта по двум направлениям.

Направление “сверху – вниз” включает:

- составление общей спецификации на СНК;
- разработку системной модели;
- подготовку требуемой номенклатуры СФ-блоков;
- функциональное моделирование СНК;
- физическое проектирование;
- верификацию модели.

Направление “снизу вверх” включает:

- подготовку спецификаций на требуемые СФ-блоки;
- отбор готовых блоков;
- приобретение или разработку недостающих блоков;
- разработку и верификацию моделей высокого уровня для используемых СФ-блоков.

По уровню затрат на разработку и подготовку производства СНК занимают промежуточное место между универсальными микросхемами и ПЛИС. Промежуточных уровней можно выделить несколько. Самый затратный уровень – это комплектование проекта имеющимися СФ-блоками и разработка недостающих. При этом требуется полный цикл физического проектирования кристалла. В структурных СНК на базовом кристалле уже размещены СФ-блоки. Функциональная схема формируется из заданного набора СФ-блоков путем создания системы металлизированных соединений. Если структура СФ-блоков на базовом кристалле повторяет структуру ячеек ПЛИС, то проект можно полностью отладить на макете с ПЛИС, а затем перенести на базовый кристалл. Такие СНК называют “жесткие копии ПЛИС” (FPGA Hard Copy). Выигрыш достигается за счет исключения системы программирования соединений. Площадь кристалла при этом сокращается до 10 раз, соответственно повышается быстродействие и снижается потребляемая мощность. Самый дешевый способ разработки - это конфигурируемые СНК. По сути – это уже структурные ПЛИС. Разработчик программирует и функции СФ-блоков и связи между ними. Отличие от регулярных ПЛИС состоит в том, что СФ-блоки специализированы и достаточно разнообразны. Специализация блоков позволяет в несколько раз сократить площадь кристалла по сравнению с регулярными ПЛИС

Выбор технологии для СНК

Важнейшим этапом подготовки технического задания для СНК является выбор технологии. При этом важно знать основные возможности и ограничения выбранной технологии.

В сверхскоростных цифровых блоках невозможно реализовать режим с низкой потребляемой мощностью при снижении рабочей частоты. Сверхскоростные МОП-транзисторы никогда не бывают полностью закрыты. При равной ширине канала ток утечки МОП-транзистора с длиной канала 0,09мкм и напряжением питания 1,2В более чем в 100 раз превышает ток утечки для транзистора с длиной канала 0,25мкм и питанием 2,5В. В сложных схемах токи утечки могут превысить рабочие токи. Поэтому, не следует выбирать технологии с размерами элементов меньше, чем необходимо для достижения требуемого быстродействия.

В аналоговых устройствах с уменьшением размеров транзисторов и напряжения питания уменьшаются динамический диапазон и коэффициент усиления, при одновременном возрастании токов утечки. Уровень тепловых шумов технология изменить не может. Поэтому, с уменьшением размеров транзисторов резко снижается соотношение сигнал шум в аналоговых блоках. Современные требования к параметрам аналоговых блоков не могут быть реализованы при напряжениях питания менее 2,5В. В низковольтных схемах аналоговую обработку сигналов, по возможности, следует заменить цифровой. Существует ряд технологий, позволяющих объединять биполярные и МОП высоковольтные транзисторы с низковольтными КМОП приборами. Такие смешанные технологии обычно разрабатываются на основе базового биполярного или КМОП процесса. При этом не удастся достичь высокого быстродействия для дополнительных элементов, не входящих в базовый процесс.

Включение в состав СНК блоков, программируемых потребителем или производителем микросхем, также требует использования специальной технологии. В современных микросхемах обычно используются элементы энергонезависимой памяти на основе МОП транзисторов с “плавающим”, т.е. изолированным промежуточным затвором. При подаче повышенного напряжения на управляющий затвор МОП-транзистора “плавающий” затвор заряжается за счет туннельных токов утечки подзатворного диэлектрика. При этом пороговое напряжение транзистора значительно изменяется. Заряд на “плавающим” затворе может сохраняться много лет. Для стирания информации требуется подача на затвор повышенного напряжения противоположной полярности. Блоки управления записью и стиранием информации в ячейке ПЗУ должны выдерживать удвоенное повышенное напряжение. Размеры элементов в данном случае определяются используемыми напряжениями.

В радиотехнических микросхемах используются высокочастотные L-C резонаторы и фильтры. Добротность резонаторов определяется потерями энергии в индукторах. Потери энергии в индукторах на кремниевых подложках определяются токами, наведенными магнитным полем в подложке. Добротность резонаторов на кремниевой подложке не превышает 5. Чтобы ослабить электромагнитную связь индуктора с проводящей подложкой используются два основных метода: нанесение на пластину слоя органического диэлектрика (полиимида) толщиной не менее 20мкм с

изготовлением индуктора на этом слое или формирование в диэлектрике под индуктором опор и мостов с последующим вытравливанием кремния под индуктором на глубину не менее 20мкм. Добротность резонаторов при этом возрастает до 20÷30.

При наличии в составе микросхемы фотоприемных элементов (оптических матриц и линеек) необходимо обеспечить прозрачность покрывающих диэлектриков для оптического излучения. Методы планаризации многоуровневой системы металлических проводников в БИС требуют равномерного заполнения слоев фрагментами металлизации. Для этого, при подготовке рисунка фотошаблонов все свободные места заполняются мелкими фрагментами металлизации – фиктивными проводниками. Слои металлизации становятся непрозрачными даже там, где нет проводников. Создание прозрачных участков диэлектриков требует введения в маршрут дополнительных операций. Изменяется также процесс формирования полупроводниковой структуры БИС.

Отклонения от базового технологического маршрута, необходимые для получения дополнительных элементов, могут увеличить стоимость обработки пластин вдвое.

Техническое обеспечение проекта СНК

Первая задача – это использование эффективной САПР. Основные производители САПР БИС – это Cadence, Synopsys и Mentors Graphics. Каждая из фирм поставляет достаточно полный комплект программных модулей. Однако все фирмы имеют определенную спецификацию. Cadence имеет лучшие программы для проектирования аналоговых и аналогово-цифровых микросхем. Synopsys специализируется на автоматизации проектирования цифровых БИС. Mentors Graphics поставляет лучшие программы для работы с ПЛИС и для комплексного моделирования и физического проектирования плат. Форматы представления данных унифицированы, что должно обеспечивать совместимость программных модулей разных фирм в одной САПР. Несовместимость программных модулей еще встречается, однако, это скорее исключение, чем правило.

Коллектив разработчиков СНК должен объединить и настроить в своей САПР оптимальный набор программных модулей, поставляемых, возможно, разными фирмами.

Вторая задача – создание базы данных. В любом случае потребуется аналоговая библиотека примитивных элементов: транзисторов, резисторов, индукторов, конденсаторов и т.д. Потребуется библиотека цифровых логических элементов. Библиотеки простейших элементов обычно поставляются кремниевыми фабриками и должны в точности соответствовать технологическому процессу. Согласованные требования к подготовке библиотек позволяют использовать их в САПР любого производителя.

Законченные СФ-блоки поставляются как фабриками, так и независимыми производителями. Для обеспечения их совместимости разработаны требования, включающие несколько сотен пунктов. В общем случае, СФ-блоки не переносятся с одной фабрики на другую. Однако, для цифровых устройств достаточно просто выполнить автоматический синтез электрической схемы и топологии, опираясь на VHDL/Verilog-описание и отлаженную топологию блока для другого технологического процесса. Поэтому, для цифровых блоков часто продаются только описания на языках VHDL/Verilog.

Третья задача – информационная и техническая поддержка процесса разработки. Далеко не всегда удается в заданный срок подготовить самостоятельно или приобрести требуемый набор СФ-блоков. В этом случае необходимо обратиться за помощью в центры поддержки разработки. Такие подразделения создаются фирмами – разработчиками САПР. В этих фирмах часто используется термин “виртуальная САПР”. Это когда требуемой САПР нет, и задача решается специалистами фирмы на основе полученной спецификации и собственного опыта. Центры поддержки не только разрабатывают заказанные СФ-блоки, но и дают консультации по конкретным вопросам проектирования. Консультации осуществляются как дистанционно через Интернет, так и с выездом специалистов к заказчику.

Четвертая задача – решение вопросов аттестации проекта и производственного тестирования изделия электронной техники. Как отмечалось выше, в проекте должны быть предусмотрены встроенные средства контроля. Однако только встроенные средства контроля не способны обеспечить тестирование БИС. Для этого требуется специальное контрольно-измерительное оборудование, стоящее миллионы долларов. Специализированные фабрики (Test-house) готовы предоставить в аренду тестовое оборудование, однако, проект должен быть подготовлен к использованию данного конкретного оборудования. Должен быть выполнен анализ тестопригодности проекта и совместимости его с выбранным тестовым оборудованием. Особо это касается аналоговых, радиотехнических и оптоэлектронных блоков СНК. Вопросы тестирования не должны откладываться на окончание проекта, а должны рассматриваться в течение всей работы, начиная с подготовки технического задания.

Пятая задача – обучение персонала. Каждый год производители САПР анонсируют десятки новых программных модулей. Приобретение новых программ не гарантирует их эффективного использования, а отказ от новинок обрекает фирмы на техническую отсталость. Экономия на образовании может обернуться потерей позиций на рынке. В России сейчас около 10 образовательных центров по САПР, созданных совместно с ведущими техническими вузами.

3. Маршрут проектирования заказных БИС и систем на кристалле.

Выбор маршрута проектирования

Системы на кристалле – это методология разработки заказных микросхем на основе уже готовых сложнофункциональных блоков. Не все заказные схемы разрабатываются в соответствии с этой методологией. Изделия с относительно небольшим числом элементов (до одного миллиона) или с предельными требованиями к электрическим и эксплуатационным параметрам целесообразно разрабатывать по традиционному маршруту одним коллективом разработчиков. Сложнофункциональные блоки, разработанные для традиционных заказных БИС, могут быть использованы повторно при проектировании СНК.

Производственной основой современных СНК является субмикронная КМОП-технология. Предельное быстродействие в СНК обычно требуется для синхрогенераторов и блоков ввода – вывода информации (радиочастотные блоки и интерфейсы проводной связи). Предварительную оценку возможностей техпроцесса можно сделать на основе результатов завершённых разработок. Техпроцесс с минимальным размером элементов 0,25 мкм позволяет реализовать цифровые блоки с тактовой частотой до 600МГц и аналоговые радиоблоки для обработки частот до 1200МГц. Соответственно, переход на меньшие размеры элементов позволяет повышать рабочие частоты:

- 0,18мкм – 1,2ГГц - тактовая частота и 2,5ГГц – частота радиосигнала;
- 0,13мкм – 2,5ГГц – тактовая частота и 5ГГц – частота радиосигнала;
- 0,09мкм – 5ГГц – тактовая частота и 10ГГц - частота радиосигнала.

Требуемые технические показатели системы на кристалле могут ограничиваться разными факторами: возможностями полупроводниковой технологии, конструкцией корпуса, условиями теплоотвода в аппаратуре и другими. В большинстве случаев каждый из этих ограничивающих факторов можно изменить путем перехода на более дорогие технические решения. Например, уменьшить конструктивно - технологические размеры физической структуры кристалла, использовать многокристальные модули и принудительное охлаждение корпусов. Однако себестоимость продукции при этом может возрасти в несколько раз и сделать изделие неконкурентоспособным. Поэтому предельные параметры СНК рассматриваются в рамках конкретных конструктивно – технологических и экономических ограничений.

В такой ситуации существует опасность, что требования, установленные в Техническом задании, не могут быть выполнены используемыми средствами. Деньги и время на разработку будут потрачены безрезультатно. При подготовке Технического задания и предварительной спецификации на

проект СНК особую роль выполняет предсказательный анализ. Предсказательный анализ включает экспертное сравнение требований ТЗ с параметрами разработанных ранее изделий и расчет- прогноз параметров разрабатываемого изделия.

В традиционном маршруте проектирования все блоки разрабатываются заново и оптимизируются для конкретного применения. В маршруте СНК блоки отбираются по принципу совместимости без оптимизации их параметров для данного проекта.

Все СФ-блоки можно разделить на три основных класса: программные, параметризуемые и фиксированные. Программные блоки описаны на языке высокого уровня и всегда требуют доработки для каждого конкретного проекта. Параметризуемые блоки включают избыточные части, используемые для окончательной настройки. Параметризуемые блоки требуют незначительной доработки, но они не оптимизированы для конкретного применения. Фиксированные СФ-блоки оптимизированы для конкретного применения и наилучшим образом подходят для тех частей СНК, в которых требуются предельные параметры.

Несмотря на отличия в подходах к разработке составных блоков маршруты проектирования СНК и традиционных заказных БИС включают одни и те же основные этапы.

Основные этапы проектирования заказных БИС и систем на кристалле

а). Подготовительный этап

До того как начнется работа над проектом и будет сформирован коллектив разработчиков, требуется правильно определить цель работы и оценить возможность ее успешного завершения.

К сожалению, всегда существует множество проблем, которые могут препятствовать успешному завершению проекта и освоению производства нового изделия электронной техники. Это действия конкурентов, патентно-правовые препятствия, недостаток финансирования, неправильная оценка емкости рынка, переоценка собственных возможностей. Менее половины разработок в области микроэлектроники осваиваются в производстве. Правильно сформулированная цель работы является необходимым, но не достаточным условием успеха проекта. Вопросы выбора целей и управления проектами относятся к другим дисциплинам: маркетингу и менеджменту, поэтому подробно рассматриваться не будут. Техничко-экономическое обоснование проекта, техническое задание и календарный план должны подробно изучаться всеми участниками разработки, так как всегда существует соблазн подмены цели. То есть исполнители стремятся делать то, что знают и умеют, а не то, что требуется в проекте.

б) Системное проектирование

Системное проектирование требуется при разработке любых сложнофункциональных БИС. В случае систем на кристалле дополнительной целью данного этапа является такое разбиение проекта на СФ-блоки, чтобы максимально использовать имеющийся задел и возможность вести параллельную разработку недостающих частей проекта.

Кроме разбиения проекта на блоки на данном этапе выполняются:

- Создание и оптимизация исполняемой системной модели на языке высокого уровня (C++, System-C).
- Создание предварительной спецификации проекта, достаточной для функционального проектирования.
- Разделение проекта на аппаратную и программную части.
- Прогноз основных физических параметров микросхемы.

Разбиение на блоки и разработка системной модели осуществляется на основе иерархического архитектурного плана. С разработки архитектурного плана собственно и начинается исполнение проекта.

Системная модель – это больше чем описание функций БИС. Системная модель должна учитывать взаимодействие с другими элементами аппаратуры или объектами измерений. В модели могут присутствовать различные электромеханические приводы, системы управления несколькими объектами, зоны покрытия систем связи, учет движения объектов и так далее. Выбор оптимального решения требует исследования модели и оценки результатов моделирования на основе критериев, определенных техническим заданием.

При наличии системной модели уже можно разделить проект на аппаратную и программную части, а также подготовить спецификацию для этапа функционального проектирования. На основе системной модели можно оценить и основные физические параметры разрабатываемой микросхемы: число выводов, потребляемую мощность, площадь кристалла. Для этого существуют программы прогноза. Программы прогноза основаны на статистике завершенных проектов и дают погрешность до 20% для освоенных технологий.

Типичная система на кристалле состоит из интерфейса внешней шины, встроенного микропроцессора, ОЗУ и ПЗУ на кристалле, ряда функциональных модулей, включая АЦП, ЦАП или радиоблок, и внутренней шины (On-chip Bus, ОСВ), соединяющей функциональные модули.

в) Системная верификация.

Системная верификация осуществляется одновременно с системным проектированием и связана с ним в единый итерационный цикл. При верификации проводится анализ архитектуры, возможности разработки недостающих СФ-блоков и совместимость имеющихся, возможности разработки прикладных программ и требования к ним. Также проводится проверка единства среды проектирования и совместимости модулей САПР,

наличие средств управления данными и документирования проекта. На этом этапе выполняется сравнение результатов прогноза основных технических параметров с требованиями Технического задания, оценивается себестоимость изделия.

Работа завершается подготовкой Частных технических заданий на составляющие программные и аппаратные части проекта. В дальнейшем работа над этими частями может вестись параллельно.

г) Функциональное проектирование.

Основные цели этапа – это создание исполняемой функциональной модели на языке описания аппаратуры (VHDL, Verilog), а также подготовка детальной спецификации всех блоков и системы в целом.

Полная электрическая модель СНК на транзисторном уровне для создания спецификаций обычно не используется, так как для этого не хватает вычислительных ресурсов.

Первая задача этапа – разработка всех недостающих блоков СФ-блоков. Для аналоговых блоков, проектируемых на транзисторном уровне, требуется еще и создание поведенческой модели на языке описания аппаратуры. Пока нет программ, автоматически синтезирующих поведенческую модель на основе результатов моделирования транзисторной модели блока. Работы в этом направлении ведутся разработчиками САПР. Внимательно следует относиться к выбору программ для аналогового моделирования, так как возможен режим работы САПР с накоплением ошибок в вычислениях. Например, HSPICE фирмы Cadence дает большие ошибки в схемах с переключаемыми конденсаторами.

Система аналогового моделирования AVOCAD, разработанная в России, обеспечивает высокую точность в расчетах схем с переключаемыми конденсаторами, высокую скорость вычислений и совместимость формата данных с Cadence.

Вторая задача – согласование интерфейсов СФ-блоков и построение шинной архитектуры, а также прогноз параметров линий связи.

На этом этапе функционального проектирования детализируется временная диаграмма работы БИС и рассчитывается баланс задержек между блоками. Эти мероприятия выполняются для обеспечения связности сигналов во временной диаграмме работы системы. Эта сложная задача решается последовательно на всех этапах проектирования, начиная с подготовки технического задания. В синхронных системах период синхросигнала должен быть больше задержки сигнала в комбинационных элементах и линиях связи. В сложных БИС наибольшие задержки появляются в линиях связи. Единственный способ обеспечить высокую рабочую частоту сложных цифровых БИС – это использовать асинхронный протокол передачи данных между блоками. Для реализации протокола требуются дополнительные блоки – внутренние интерфейсы.

Отдельная проблема – согласование сигналов аналоговых и цифровых блоков. Поведенческие модели могут давать ошибку более 10% поэтому, вопросы согласования лучше решать с помощью программ смешанного аналого-цифрового моделирования, например, Spectre-Verilog.

Третья задача – разработка и согласование внешних интерфейсов. Моделирование внешних интерфейсов должно проводиться с учетом реактивных параметров корпуса и внешних линий связи.

Четвертая задача – это расчет потребляемой мощности и разработка мер по ее экономии. Простейшие методы экономии мощности включают:

Снижение рабочей частоты блока до минимально необходимой. Этот метод требует использования в блоке собственного независимого синхрогенератора.

- Снижение напряжения питания блока до величины обеспечивающей функционирование и требуемое быстродействие. Для этого в составе БИС должны быть вторичные стабилизаторы питания.
- Снижение логического перепада в длинных линиях связи. Для применения метода требуются специальные ретрансляторы сигналов.
- Использование схемотехники с адиабатической логикой.

Пятая задача – прогноз и повышение надежности, а также процента выхода годных путем введения избыточности и резервирования в схему. Основные методы повышения надежности путем резервирования: резервные блоки памяти, кодовая защита данных при хранении и передаче, дублирование блоков и мажоритарный выбор данных, программируемая замена блоков.

Шестая задача – обеспечение контролепригодности и разработка встроенных средств контроля. Основные методы обеспечения контролепригодности:

- Функциональная и физическая декомпозиция проекта. Сложные схемы легче проверять по частям.
- Отсутствие в схеме двунаправленных линий связи, то есть запрет на объединение выходов логических вентилях и блоков.
- Эффективная система встроенного контроля.

Для цифровых устройств разработаны эффективные встроенные средства контроля: мультиплексоры, сквозные сдвиговые регистры, сигнатурные анализаторы. Для регистрации цифровых сигналов контрольных блоков требуется всего один дополнительный вывод, который меняет назначение других сигнальных выводов микросхемы. Сигналы аналоговых блоков можно регистрировать двумя основными способами с использованием аналогового мультиплексора или встроенного АЦП, преобразующего эти сигналы в цифровые.

Последняя седьмая задача – составление окончательной детальной спецификации, которая будет использоваться и при физическом проектировании микросхемы, и при разработке программы

производственного контроля, и при подготовке рекомендаций по применению изделия.

д) Функциональная верификация.

Основная цель функциональной верификации – комплексная отладка функциональной модели совместно с программным обеспечением. Обычно, функциональная верификация не может быть выполнена только средствами САПР. Для этого не хватает времени и вычислительных ресурсов. Совместно с программной верификацией выполняется и эмуляция системы с использованием специальных макетов. Функциональная верификация проводится совместно с функциональным проектированием и составляет с ним единый итерационный цикл.

Моделирование системы на уровне поведенческой модели на языках VHDL/Verilog позволяет проверить работу функциональной модели, получить временные диаграммы работы СФ-блоков и системы в целом, оценить основные динамические параметры. Электрическая модель на транзисторном уровне не пригодна для детального моделирования. Такая модель включает сотни тысяч и миллионы элементов и требует сотен и тысяч часов работы компьютера. Модель на транзисторном уровне используется для проверки задания на разработку топологии и для физической верификации проекта. В составе САПР многих фирм есть специальные программы – скоростные симуляторы. В этих программах используются упрощенные модели транзисторов и скоростные, но не очень точные алгоритмы. При расхождении результатов в 10%-20%, по сравнению с точной моделью скорость вычислений увеличивается в сотни раз.

Для эмуляции системы с использованием макета применяются специальные макетные платы, включающие ПЛИС, микропроцессоры, блоки памяти, синхрогенераторы, АЦП, ЦАП и различные интерфейсы. Такие платы имеют контрольные разъемы и разъем для PCI-шины. Платы могут вставляться в системный блок персонального компьютера и дополняются необходимыми программами. Такой аппаратно-программный комплекс позволяет моделировать работу БИС, программировать макетную плату и анализировать сигналы системы. Для расширения функций платы к контрольным разъемам подключаются дополнительные платы – функциональные модули. Дополнительное оборудование для работы с таким макетом обычно не требуется.

При использовании в СНК новых оригинальных СФ-блоков можно изготовить их макетные образцы на фабриках. Фабрики общего пользования регулярно раз в 3-4 месяца запускают специальные скоростные партии из 2-3 пластин – так называемые Шатлы. В Шатлы включаются тестовые кристаллы и экспериментальные микросхемы любых заказчиков. Каждый заказчик оплачивает не всю партию, а только ее часть, пропорциональную занятой площади пластины. После изготовления Шатла пластины разрезаются на кристаллы, которые раздаются заказчикам. Полный цикл подготовки Шатла

на фабрике, включая изготовление фотошаблонов, обработку пластин и сборку в корпуса, составляет около трех месяцев. В процессе разработки макета и отладки проекта можно дополнить макет функциональными модулями с использованием оригинальных СФ-блоков.

Основное назначение макета – это проверка надежности функционирования. В макете выявляются режимы и условия, при которых появляются сбои и ошибки в работе системы, а также взаимодействие с программным обеспечением. Ситуации со сбоями программными средствами выявить сложно, так как причин сбоев очень много и не хватает времени и терпения для их моделирования. Исследование системы на макете требует в сотни раз меньше времени, чем моделирование.

е) Физическое проектирование.

Целью физического проектирования является разработка топологии кристалла БИС при выполнении проектных норм и требований спецификации.

В процессе выполнения проекта спецификации становятся все более детальными. Увеличивается число связей между частями проекта. Для того чтобы упростить и систематизировать процесс разработки, на этапе физического проектирования вводится дополнительный этап создания физического виртуального прототипа. Физический виртуальный прототип – это модель и предварительный топологический план кристалла микросхемы. Физический виртуальный прототип разрабатывается одновременно с функциональной моделью. На его основе рассчитываются размеры кристалла, уточняются требования к системам электропитания и синхронизации, делаются оценки потребляемой мощности и параметров линий связи. Прототип позволяет достаточно точно детализировать функциональную модель без трудоемкой разработки топологии кристалла. Задача построения физического виртуального прототипа является комбинацией задач оптимизации функциональной модели, глобального топологического размещения блоков, разводки шин питания и построения цепей синхронизации. Если расчеты и прогнозы выполнены правильно, то при дальнейшем проектировании топологии не потребуются изменения в первоначальный топологический план кристалла и функциональную модель.

Далее выполняются трудоемкие операции детальной трассировки разработанных СФ-блоков и системы в целом. Цифровые блоки разводятся с использованием автоматических синтезаторов топологии. Разводка аналоговых блоков обычно требует вмешательства разработчиков. Важнейшая задача физического проектирования – снижение уровня помех – решается путем уменьшения плотности размещения элементов и сигнальных связей. Для трассировки обычно используются только два-три уровня соединений, а остальные уровни заняты экранами и шинами питания. Топология аналоговых блоков – это серьезная проблема, которой посвящены толстые монографии.

Для глобальной трассировки обычно используются полуавтоматические методы. Тонкие проводники имеют большое сопротивление и вносят значительный вклад в задержку сигнала. Для длинных связей используется обратное масштабирование проводников. Чем длиннее проводник, тем он должен быть шире. Правила выбора ширины рассчитываются из требуемого быстродействия линий связи и удельных параметров проводников. Для выравнивания задержек по сигнальным шинам используется буферизация с использованием регенераторов сигналов. В этом методе число устройств, подключенных к одной шине, правилами проектирования не ограничивается. Специальные правила для линий связи аналоговых и высокочастотных сигналов. Обязательно экранирование линий связи шинами питания и “земли”. Высокочастотные сигналы лучше передавать двумя проводниками с противофазными уровнями напряжения. Желательно согласование импедансов приемников, передатчиков и линий связи.

Для расчета уровня подложечных шумов и параметров линий связи обычно используются специальные симуляторы.

Еще одна проблема трассировки БИС, связана с технологией изготовления системы металлизации. При формировании рисунка проводников используется процесс плазменного травления металлической пленки. Травление происходит за счет протекания постоянного ионного тока в высокочастотной плазме. Кремневая подложка в процессе травления находится под напряжением 200÷300В и при температуре около 300°С. До того как формирование всех уровней металлизации будет завершено, часть сигнальных связей остаются разорванными. Одни участки проводников соединены с р-п переходами физической структуры, а другие только с затворами МОП-транзисторов. При температуре 300°С р-п переходы вырождаются, и ток травления металлизации стекает в подложку. Затворы МОП-транзисторов остаются изолированными, и напряжение смещения подложки оказывается приложенным к подзатворному диэлектрику. Ток травления может вызвать пробой диэлектрика и отказ транзистора. Для исключения этого явления используются два основных метода: перенос участка проводника в следующий по счету уровень металлизации или подключение дополнительного защитного диода на р-п переходе к затвору МОП-транзистора. Программа трассировки может выполнить эти операции автоматически, но метод защиты выбирает разработчик. В маршруте проектирования эта операция называется борьбой с “антеннами”.

Когда трассировка кристалла полностью завершена, остаются еще вспомогательные операции:

- установка “ключа”, то есть указателя первого вывода микросхемы;
- маркировка кристалла, которая обычно выполняется в самом верхнем уровне металлизации;
- введение тестовых элементов для контроля технологического процесса, которые обычно размещаются в разделительных линиях между кристаллами;
- заполнение свободных полей “фиктивными проводниками”;

- введение технологических коррекций на размеры топологических элементов.

Вспомогательные операции выполняются в полуавтоматическом режиме. После завершения этих операций информация передается на изготовление фотошаблонов.

ж) Физическая верификация.

Основной целью физической верификации является принятие решения о передаче информации для изготовления БИС на фабрику. Решение принимается на основе результатов проверки проекта на соответствие требованиям спецификаций. Физическая верификация проводится одновременно с физическим проектированием и связана с ним в единый итерационный цикл. При выполнении комплекса проверок решаются следующие задачи:

- оценка помехоустойчивости;
- проверка связности сигналов во временной диаграмме работы системы;
- оценка надежности;
- проверка правил подготовки электрической схемы (ERC – electrical rules check);
- проверка правил топологического проектирования (DRC – design rules check);
- проверка соответствия электрической схемы и топологии (LVS – layout versus circuit);
- проверка полноты спецификаций.

Физическая верификация – наименее формализованный этап проектирования. Рассмотрим сначала автоматизированные процедуры: ERC – проверка правил подготовки электрической схемы; DRC – проверка правил топологического проектирования; LVS – проверка соответствия электрической схемы и топологии. Хотя процедуры и автоматические, но они требуют строгого выполнения правил подготовки информации к проверке. Во-первых – это подготовка проверочных файлов, т.е. самих правил проверки. Обычно DRC-файлы готовятся фабриками и поставляются вместе с правилами проектирования. При этом часто возникает ситуация, когда модификация технологии и проверочных файлов приводит к появлению «ошибок» в ранее созданных и проверенных блоках. В этом случае дополнительное время приходится тратить на согласование и корректировку проверочных файлов. ERC и LVS – связанные процедуры. Если разработчик не обеспечил полного соответствия, то и программы проверки ошибок не найдут. Например, если в цепи питания на кристалле должно быть несколько выводов, а в электрической схеме обозначен только один, то программа, найдя один, остальные искать не будет.

При проверке надежности рассчитывается стойкость БИС к электростатическим разрядам через сигнальные выводы, стойкость металлизации к электромиграции, расчет теплового сопротивления и

теплового режима работы схемы, термомеханические напряжения в кристалле и корпусе. При проверке связности сигналов осуществляется расчет параметров линий связи и моделирование схемы с учетом этих параметров, моделирование помех, учет подложечных шумов в работе аналоговых блоков, проверку баланса задержек во временной диаграмме.

Отметим также, что объем информации по проекту очень велик и физическая верификация требует много времени и трудозатрат. Результаты проверок прямо не отражаются в спецификациях и их трудно контролировать. Сокращение объемов проверок ведет к ошибкам.

3) Аттестация проекта

Завершающим этапом является аттестация проекта. Цель аттестации – это принятие решения о готовности проекта к началу освоения производства. Для этого требуется соответствие опытных образцов БИС требованиям нормативной технической документации (Техническим условиям, Техническим заданиям, Справочному листу), а также наличие самой нормативной документации. Требования соответствия образцов и документации подтверждаются протоколами испытаний. Мы не будем рассматривать организационные процедуры аттестации. Остановимся только на технических вопросах.

Задачи, решаемые в процессе аттестации проекта:

- проверка функционирования отдельных блоков и системы в целом с использованием встроенных средств контроля;
- проверка функционирования системы путем сравнения с функциональным макетом;
- проверка работы в составе макета аппаратуры;
- проверка помехоустойчивости системы в наихудших условиях работы;
- проверка надежности системы в предельно-допустимых режимах работы.

Важным элементом методики аттестации является выбор критериев проверки. В сложных системах ошибки в работе всегда возникают. Не безошибочны и сами средства контроля. Допустимый уровень ошибок определяется назначением системы. Желательно, чтобы допустимый уровень ошибок был указан в Техническом задании. В противном случае, этот параметр должен быть определен в процессе исполнения проекта.

Если обнаружены несоответствия требованиям документации, важно обнаружить и причины этого несоответствия. Формальных правил выявления причин ошибок нет. Для этого нужна правильная функциональная модель, модели технологических процессов и необходимая измерительная техника.

Маршрут проектирования постоянно развивается, так как системы на кристалле постоянно усложняются по составу и разнообразию используемых блоков, а разработчики САПР предлагают новые программы моделирования и оптимизации БИС.

4. Искажения сигналов и шумы в современных БИС

Условия передачи сигналов в системах на кристалле

Любой алгоритм обработки данных требует определенной последовательности и формы сигналов в пределах допустимых отклонений. На форму сигналов влияют шумы и помехи в системе. На задержки сигналов влияют нагрузочная способность элементов схемы, время распространения сигналов в проводниках и те же помехи. Совокупность ограничений на последовательность, задержки и форму сигналов называется связностью сигналов.

Типовые величины задержек сигналов в элементах БИС $20 \div 100$ пс, а рекордные величины – менее 1 пс. Доступные скорости обработки сигналов превышают 40 Гбит/с. Однако, скорости передачи информационных потоков ограничиваются не логическими элементами, а системой связей. В сложных БИС суммарная электрическая емкость проводников связи во много раз превышает емкости всех транзисторов. При переходе к пикосекундным фронтам импульсов проводники превращаются в распределенные R-L-C линии связи. Вычислительных ресурсов для моделирования сигналов в миллионах распределенных линий связи сейчас нет, и в ближайшем будущем не появится. Поэтому, в расчетах линий связи используются модели с сосредоточенными и усредненными параметрами.

Рассмотрим подробнее виды искажений сигналов в цифровых элементах системы и линиях связи.

Первый вид помех – искажение формы входных или выходных импульсов БИС из-за возбуждения колебаний в паразитном L-C контуре, образованном элементами корпуса. При этом появляются изломы на фронтах, соответствующие наложению паразитных колебаний на рабочий импульс.

Второй вид искажений связан с разницей в нагрузочной способности логического элемента для фронта и среза. Это приводит к разнице задержек сигнала для фронта и среза. При последовательном соединении нескольких неинвертирующих элементов происходит либо слияние, либо исчезновение импульсов. На большой емкостной нагрузке возможно смещение логических уровней и появление постоянной составляющей сигнала.

Третий вид связан с возбуждением импульсных помех в цепях питания при переключении мощных каскадов. Если одновременно с действием импульсной помехи в цепи питания на входе элемента появляется короткий входной импульс, то возможно нарушение функционирования блока. Нарушение функционирования носит резонансный характер и проявляется только на тех частотах, при которых фронты входных импульсов совпадают с фронтами мощных выходных или синхронизирующих импульсов. Наиболее чувствительными к резонансным помехам являются входные усилители, соединенные с внешними линиями связи.

Четвертый вид помех обусловлен электромагнитной связью между проводниками. Электромагнитная связь приводит к появлению паразитных сигналов и изменению задержек рабочих импульсов. Изменение задержек происходит таким образом, что время между однонаправленными переключениями в разных линиях сокращается, а между разнонаправленными увеличивается. Нестабильность задержки сигнала при этом возрастает.

Пятый вид помех связан с неконтролируемыми процессами в полупроводниковых приборах, обусловленными связью приборов по общей подложке. Это паразитные тиристоры и подложечные токи. Если цепи гальванического подключения подложки или изолирующего «кармана» МОП транзистора будут иметь повышенное сопротивление, то это может вызвать отпирание р-n перехода истока и включение паразитного тиристора. В топологии БИС должно быть предусмотрено распределение контактов к подложке и «карманам» в достаточном количестве и с минимальным сопротивлением для каждого МОП транзистора.

Качество аналоговых сигналов определяется соотношением сигнал/шум и искажением формы сигналов на нелинейных характеристиках элементов системы. Действие шумов на сигналы характеризуется спектральной плотностью мощности шума. Шумовые свойства аналоговых элементов системы характеризуются коэффициентом шума. Коэффициент шума показывает, во сколько раз изменяется соотношение сигнал/шум на входе и выходе аналогового элемента. Очевидно, что коэффициент шума всегда больше 1.

Не существует единственного и универсального метода обеспечения связности сигналов. Для каждого набора требований к сигналам системы и условиям их реализации составляется свой набор средств борьбы с помехами и неоднородностями в элементах. На каждом этапе проекта используются свои средства обеспечения связности сигналов, и все этапы влияют на этот процесс.

Расчет шумов, помех и методы их снижения

В электрических цепях всегда присутствуют флуктуирующие сигналы. Такие флуктуирующие сигналы обычно называют шумами. Шум определяет нижний предел для сигналов, которые могут быть обработаны электронными устройствами. Источниками шумов являются как источники обрабатываемых сигналов, так и элементы самих электронных устройств. Можно выделить две основные группы шумов – это шумы физической природы и системные шумы. Шумы характеризуются спектральной плотностью мощности шумового сигнала.

В электронных устройствах шумы физической природы обычно классифицируют следующим образом:

а) Тепловой шум вызывается случайным (броуновским) движением носителей заряда в любом проводнике. Спектральная плотность теплового шума в электронных устройствах не зависит от частоты и равна

$$S_T = 4kT \quad (4.1),$$

где k – постоянная Больцмана, T – абсолютная температура.

б) Низкочастотный шум (фликер – шум) вызывается изменением заряда электронных состояний в полупроводниках и диэлектриках. Электронные состояния в кристаллах, не вносящие вклад в проводимость, связаны с дефектами кристаллической решетки. Термодинамические процессы приводят к флуктуации зарядов, связанных с изолированными электронными состояниями. Низкочастотный шум имеет спектральную плотность, которая постоянна на низких частотах и быстро убывает выше некоторой переходной частоты. В переходной области спектральная плотность имеет вид:

$$S_H = A/f^\alpha, \quad (4.2)$$

где A – эмпирический коэффициент, f – частота, α – показатель, близкий к единице. Низкочастотный шум характерен для полупроводниковых приборов.

в) Дробовой шум вызван дискретностью электрических зарядов. Частным случаем дробового шума является генерационно-рекомбинационный шум в полупроводниковых приборах. Спектральная плотность дробового шума зависит от физической природы его источника. Генерационно-рекомбинационный шум легко характеризовать спектральной плотностью шумового тока.

$$S_i = \sqrt{\frac{2 \times e \times I}{1 + (2\pi \times f \times \tau)^2}} \quad (4.3),$$

где e – заряд электрона, I – ток в приборе, f – частота, τ – постоянная времени рекомбинации или пролетное время в базе диода или транзистора.

Системные шумы обусловлены взаимодействием блоков микросхемы через общие цепи и элементы конструкции. Основные пути неуправляемого взаимодействия:

- Электромагнитная связь выводов корпуса.
- Связь по цепям питания.
- Связь через проводимость подложки.

Шумы физической природы не зависят от взаимного расположения элементов микросхемы и определяются параметрами элементов. Эти шумы имеют гладкие спектры и сравнительно большую полосу частот. Наиболее важной составляющей физических шумов является тепловой шум. Моделирование тепловых шумов в эквивалентной электрической схеме осуществляется подключением шумовых источников переменного тока параллельно всем резисторам и внутренним сопротивлениям полупроводниковых приборов. Индуктивности и емкости элементов не влияют на мощности шумовых источников. В эквивалентной схеме МОП-транзистора обычно используются два резистора, моделирующих выходную

проводимость стока R_c и реальную часть проводимости затвор – исток ($R_{зи}$). Шумовые токи этих резисторов:

$$\overline{i_c^2} = 4k(T + \Delta T_c)\Delta f / R_c \quad (4.4)$$

$$\overline{i_{зи}^2} = 4k(T + \Delta T_3)\Delta f / R_{зи} \quad (4.5),$$

где Δf – диапазон рабочих частот, ΔT_c и ΔT_3 – избыточные шумовые температуры резисторов. Для МОП-транзисторов с длиной затвора более 2 мкм величины ΔT_c и ΔT_3 принимаются равными нулю. То есть, тепловые шумы в КМОП-схемах определяются только эквивалентными резисторами. В субмикронных транзисторах мощность тепловых шумов резко возрастает, а избыточные шумовые температуры в несколько раз превышают рабочую. Разработаны методики расчета шумовых параметров МОП-транзисторов. Теоретически и экспериментально показано, что в МОП-транзисторах с длиной канала 0,25 мкм избыточные шумовые температуры примерно вдвое превышают рабочую.

$$\Delta T_c \approx \Delta T_3 \approx 2 \times T = 600\text{K} \quad (4.6).$$

Особо следует отметить, что избыточные шумовые температуры не зависят от рабочей частоты приборов.

Для борьбы с тепловым шумом используются схемотехнические и конструктивные средства. Например, уменьшение сопротивления критических цепей, уменьшение полосы частот обрабатываемых сигналов, снижение рабочей температуры за счет улучшения теплоотвода.

Системные шумы характеризуются набором узких спектральных линий на рабочих частотах электронного устройства. Мощность системных шумов возрастает пропорционально их частоте. С увеличением рабочих частот современных микросхем обостряется и проблема системных шумов. Борьба с системными шумами ведется по двум направлениям – это снижения мощности источников шумов, а также улучшение высокочастотной изоляции и экранирование чувствительных к шумам аналоговых блоков.

По направлению снижения мощности источников высокочастотных шумов применяются следующие средства: парафазные экранированные линии связи, как на кристалле, так и на плате с микросхемами, снижение напряжения питания цифровых блоков, использование логических элементов, постоянно потребляющих ток, создание древовидных цепей распределения синхросигналов.

Рассмотрим подробнее эти методики. Если все сигнальные связи между СФ-блоками проводить парафазными экранированными линиями, то потребуется значительное увеличение площади кристалла. Альтернативой может быть динамически реконфигурируемая система связей. СНК функционирует под управлением центрального процессорного ядра, которое задает режимы работы СФ-блоков и одновременно программно конфигурирует систему связей между ними. Программно конфигурируемые системы связей хорошо отработаны в ПЛИС.

Снижение напряжения питания цифровых блоков не только уменьшает помехи, а также значительно уменьшает утечки транзисторов и потребляемую электрическую мощность. Разработаны специальные СФ-блоки контроля питания. Такой блок включает контрольный кольцевой генератор на логических вентилях, эквивалентных вентилям цифрового блока. Входной управляющий код блока питания задает соотношение частот опорного синхросигнала и кольцевого генератора. Блок контроля устанавливает напряжение питания кольцевого генератора и цифрового блока в соответствии с заданным кодом. Частота генератора должна гарантировать быстроедействие блока, достаточное для функционирования на требуемой частоте. Напряжение питания при этом будет минимально необходимым. Быстродействием цифрового блока можно управлять, меняя частоту опорного синхросигнала или управляющий код блока контроля питания. Динамический контроль питания позволяет компенсировать глобальный разброс параметров транзисторов, изменение температуры и внешнего напряжения питания.

Логические КМОП – элементы с постоянным током потребления давно известны, однако их общим недостатком является повышенное напряжение питания. Специально для блоков с питанием менее 2,5В разработаны КМОП-логические элементы с балансом токов (СВЛ – current balance logic), рис.4.1. СВЛ-элементы могут работать при напряжении питания 1,5В и менее. При напряжении питания 2,5В они потребляют вдвое меньше энергии при том же быстродействии по сравнению с КМОП-элементами с источником тока в нагрузке и ограничительным диодом.

Древовидные цепи распределения синхросигналов создавались для выравнивания задержек в цепях синхронизации. Наилучшие результаты достигаются, когда выравниваются суммарные задержки в цепях синхронизации и следующих за ними комбинационных фрагментах схемы. Вторым положительным эффектом от распределенной системы синхронизации является уменьшение пикового тока в цепях питания более чем в два раза, и соответствующее уменьшение помех.

Основные усилия по снижению системных шумов направлены на улучшение высокочастотной изоляции аналоговых блоков. Для высокочастотной изоляции блоков микросхем применяются следующие конструктивные методы:

- использование малогабаритных корпусов;
- чередование сигнальных и питающих выводов корпуса;
- распределенная система вторичных источников питания на кристалле;
- распределенная система блокировочных конденсаторов в цепях питания;
- экранирование сигнальных цепей и аналоговых блоков на кристалле;
- уменьшение связи с подложкой путем введения дополнительных изолирующих областей (карманов);

- экранирование подложечных шумов при использовании низкоомной подложки;
- заземление подложки через основание корпуса.

Квадратные малогабаритные корпуса получили всеобщее распространение. При уменьшении шага выводов корпуса вдвое индуктивность выводов уменьшается примерно в три раза. Современные корпуса с выводами по периметру имеют шаг 0,5мм и характеризуются индуктивностью выводов $3 \div 8 \text{нГ}$. Дальнейшее развитие конструкции микросхем привело к созданию корпусов типа BGA (balls grid array). У безвыводных корпусов BGA контакты размещены на основании корпуса в виде равномерной квадратной матрицы. Конструкция BGA корпуса в пределе может обеспечить индуктивность сигнальной цепи менее 1нГ . В BGA-корпусах реализованы радиочастотные микросхемы, работающие в диапазоне 5ГГц.

Аналоговые сигнальные входы и выходы должны быть окружены выводами питания. Высококачественная изоляция соседних выводов корпуса с учетом элементов их монтажа на плату всего от 20 до 40дБ. Для аналоговых цепей это недостаточно. Изоляция выводов на противоположных сторонах корпуса TQFP48 составляет 96дБ для спектральных составляющих сигнала 1ГГц, 80дБ для спектральных составляющих 2ГГц, и 60дБ для спектральных составляющих 4ГГц. Такие составляющие могут присутствовать в спектре цифровых сигналов. Для высокочастотных аналоговых цепей требуется анализ электромагнитной связи через выводы корпуса. Параметры высококачественной изоляции корпуса можно измерить или рассчитать с использованием электромагнитного симулятора.

Очень трудно избежать помех по цепям питания. С ростом быстродействия и степени интеграции быстро возрастают пиковые токи в цепях питания. Даже если цепи питания разделены, то между ними существует электромагнитная связь. Одним из решений проблемы помех в цепях питания является использование множества вторичных источников питания. Фактически каждый аналоговый блок может иметь собственный вторичный источник питания на кристалле. Эти источники обеспечивают дополнительную изоляцию высокочастотных помех.

В конструкции аналоговых блоков обычно предусмотрены блокировочные конденсаторы, снижающие уровень помех в цепях питания. Однако для их размещения требуется дополнительная площадь. Системы проектирования топологии позволяют автоматически формировать блокировочные МОП-конденсаторы на всей свободной площади блока без увеличения его размеров.

При проектировании топологии для проведения сигнальных связей используются не все уровни металлизации. Уровни сигнальных связей чередуются с уровнями системы питания и экранирования. Верхний уровень металлизации всегда используется для системы питания и экранирования.

Очень трудно бороться с высокочастотными помехами, передающимися по общей полупроводниковой подложке. На рис.4.2 приведена схема

передачи помех через распределенное сопротивление подложки. На величину помех, передающихся по подложке, влияют импеданс высокочастотной изоляции источника помех Z_1 , сопротивление растекания в подложке Z_2 , сопротивление заземления подложки Z_3 , характер заземления подложки, индуктивность в цепи заземления.

Скин-эффект в подложке проявляется слабо, и все расчеты можно вести для схемотехнической модели, приведенной на рис. 4.2а.

Цепь заземления чувствительного к помехам блока должна совпадать с цепью заземления подложки. В противном случае импеданс цепи заземления будет суммироваться с сопротивлением подложки и помехи на чувствительном блоке возрастут, рис.4.2.б.

Согласно модели, приведенной на рис.4.2, снижение помех достигается улучшением высокочастотной изоляции - Z_1 и уменьшением сопротивления заземления - Z_3 . Сопротивление растекания - Z_2 пропорционально Z_3 и им трудно управлять. Распространенный прием снижения помех введением легированных заземленных охранных колец вокруг чувствительных элементов дает ослабление помех всего на 2÷4дБ. Использование высокоомного эпитаксиального слоя на низкоомной подложке улучшает высокочастотную изоляцию на 8÷10дБ. Лучшим решением для снижения помех является изоляция от подложки МОП-транзисторов обоих типов. В обычных КМОП-структурах n – канальные транзисторы формируют в легированных p – областях, гальванически соединенных с p – подложкой. Изоляция от подложки n – канальных транзисторов требует введения в структуру микросхемы дополнительных слабо легированных областей n – типа. При этом образуется вертикальная четырехслойная структура n - p - n - p , которая очень усиливает тиристорный эффект. Подавление тиристорного эффекта требует специальных технологических и конструктивных решений. Однако полная изоляция транзисторов снижает уровень помех в подложке на 25÷30дБ.

В обычной КМОП-структуре на высокоомной подложке p – типа с изоляцией только p - канальных МОП-транзисторов гармонические составляющие сигнала с частотой 1ГГц ослабляются на 120дБ, с частотой 2ГГц – на 100дБ, с частотой 4ГГц – на 80дБ. При использовании структуры с полной изоляцией МОП- транзисторов ослабление помех улучшается до 150 дБ на 1ГГц, 130дБ на 2ГГц и 110дБ на 4ГГц. Результаты получены при моделировании и измерении специальных тестовых структур, изготовленных по КМОП-технологии с проектными нормами 0,25мкм. Моделирование выполнено с использованием симулятора Substrate Storm фирмы Cadence.

5. Особенности проектирования аналоговых СФ-блоков

Маршрут проектирования аналоговых блоков

Определим, какие блоки считать аналоговыми. Мы считаем, что аналоговыми являются блоки, в которых информация представлена в аналоговой форме (напряжение, ток, длительность импульсов и т.д.), а также блоки, выполняющие аналоговые операции с импульсными сигналами (сравнение по уровню, управление параметрами импульсов, управление задержкой и др.). При этом значения параметров электрических сигналов могут иметь любую величину в заданном рабочем диапазоне. Аналоговые блоки могут включать и цифровые узлы, выполняющие вспомогательные функции, однако целевые функциональные параметры блока определяются аналоговыми сигналами.

Несмотря на то, что методики проектирования аналоговых схем развиваются несколько десятилетий, до сих пор они не гарантируют достижения безусловного успеха разработки. Важнейшую роль в успехе проекта играют опыт и искусство разработчика.

Основные проблемы при проектировании аналоговых блоков связаны не с реализацией определенных функций, а с достижением требуемых параметров устройств. Параметры устройств в первую очередь зависят от характеристик используемых полупроводниковых приборов, то есть от технологического процесса изготовления микросхем.

Современная технология КМОП-микросхем развивается в направлении уменьшения размеров элементов, повышения их быстродействия, снижения внутренних сопротивлений транзисторов. Однако при этом неизбежно снижаются рабочее напряжение и коэффициент усиления транзисторов, возрастают утечки и разброс параметров.

Поскольку параметры аналоговых СФ-блоков напрямую зависят от используемого технологического процесса, то, как правило, их невозможно перенести с одного техпроцесса на другой. Поэтому разработчики аналоговых СФ-блоков не имеют возможности выбора технологии. Техпроцесс выбирается для системы на кристалле.

Сложились определенные правила выбора техпроцесса для СНК, в состав которых входят аналоговые блоки. Для них используется более дорогой модифицированный КМОП-техпроцесс, в котором дополнительно формируются высокоомные резисторы, конденсаторы со структурой металл – диэлектрик – металл (МДМ), индукторы, биполярные диоды, транзисторы с уменьшенными утечками. В этом техпроцессе часто используются эпитаксиальные структуры на низкоомной подложке и различные проектные нормы для аналоговых и цифровых блоков.

Для того чтобы эффективно использовать преимущества и компенсировать недостатки современной КМОП-технологии, надо следовать общим правилам. Во-первых, если есть возможность реализовать требуемую

функцию в виде цифрового блока, то выбор должен быть сделан в пользу цифрового варианта. Во-вторых, если можно снизить требования к быстродействию аналогового блока, то это надо сделать обязательно. В-третьих, не следует экономить площадь на кристалле для размещения пассивных элементов: конденсаторов, индукторов, экранов, резисторов. Как правило, площадь аналогового СФ-блока определяется площадью пассивных элементов.

Предельное быстродействие аналогового блока ограничивается не нарушением функционирования, а снижением соотношения сигнал/шум и соответствующим возрастанием искажений в передаваемой информации. Поэтому первостепенную роль в определении быстродействия имеет алгоритм обработки информации и коррекции ошибок. Современные методы обработки сигналов, передаваемых по радиоканалу, позволяют компенсировать ошибки в передаче цифровых кодов на уровне нескольких процентов.

Основные проблемы в проектировании аналоговых блоков связаны с наличием помех в системе и разбросом параметров транзисторов. В общем виде известны средства снижения помех и разброса, однако определение точных параметров схемы с учетом дестабилизирующих факторов является очень сложной задачей.

Верификация аналогового блока - несравненно более сложная задача, чем его разработка. Чаще всего разработчики исходят из ограничений по усилению и быстродействию. Уровень помех и разброс параметров транзисторов оценивают раздельно. Средства борьбы с помехами и разбросом параметров транзисторов применяют по максимуму, исходя из ограничений по площади и быстродействию блока. Совместную оптимизацию электрической схемы и топологии выполняют, ориентируясь на усиление и быстродействие. В таком маршруте разработки конкретные значения помех и шумов определяются экспериментально после изготовления тестового кристалла. Однако сейчас развивается методика верификации аналоговых схем, основанная на использовании новых средств САПР.

Отметим основные этапы проектирования аналогового СФ-блока:

- Расчет – прогноз параметров на основе выполненных ранее проектов. Разработка структурной схемы и спецификации.
- Разработка системной модели. Прогноз-расчет параметров внешних цепей и условий применения.
- Оценочный расчет допустимого разброса параметров транзисторов.
- Оценка и распределение электрической мощности.
- Разработка первого варианта электрической схемы.
- Разработка физического виртуального прототипа (эскизного топологического проекта).

- Уточненный расчет параметров транзисторов, линий связи, пассивных элементов, прогноз статистических отклонений.
- Разработка полной электрической схемы с уточненными параметрами и встроенными средствами контроля.
- Статистический анализ модели.
- Расчет шумов и помех
- Анализ работы модели с внешним окружением.
- Разработка топологии блока.
- Верификация модели.
- Разработка спецификации и модели высокого уровня.
- Изготовление тестового кристалла и аттестация блока.

Статистический анализ модели СФ-блока

Уменьшение размеров транзисторов привело к увеличению разброса их параметров. Разброс параметров неизбежен даже для хорошо управляемых и стабильных процессов. В аналоговых блоках разброс параметров является основным фактором, определяющим соотношение «точность – быстродействие – потребляемая мощность». Моделирование аналоговых блоков с учетом статистического разброса параметров элементов дает следующие возможности:

- Уменьшить чувствительность схемы к разбросу параметров физической структуры путем оптимального выбора размеров транзисторов и их взаимного размещения;
- Увеличить параметрическую надежность разрабатываемых блоков;
- Снизить риск неоптимального проектирования.

Влияние результатов статистического анализа на успешное завершение проекта возрастает с уменьшением размеров элементов.

Основой статистического анализа является подготовка исходных данных о разбросе параметров элементов для конкретного техпроцесса. Большинство фабрик имеют специальные тестовые кристаллы для измерения величины разброса параметров. При анализе различают локальный разброс в пределах одного кристалла и глобальный разброс между кристаллами, пластинами и различными производственными партиями пластин. Глобальный разброс ограничен производственными нормами. Если параметры физической структуры выходят за пределы этих норм, то пластины бракуются. Локальный разброс имеет две основных составляющих: микроскопическую и макроскопическую. Микроскопическая составляющая разброса связана с флуктуацией параметров физической структуры в идентичных и расположенных рядом элементах. Толщина подзатворного окисла в субмикронных МОП-транзисторах составляет $5 \div 10$ молекулярных слоев, а число атомов легирующей примеси в области пространственного заряда под затвором – менее 1000. Статистические флуктуации тока в приборах минимальных размеров составляют единицы процентов.

Макроскопическая составляющая разброса связана с локальным градиентом параметров физической структуры микросхемы. Градиенты параметров являются следствием неоднородности режимов обработки пластин в техпроцессе. Температура, концентрация реагентов, толщина фоторезиста, мощность излучения в рабочих камерах технологических установок имеют линейный либо центрально-симметричный градиенты. Градиенты параметров технологических процессов порождают и неоднородность структуры микросхем. Взаимодействие неоднородностей режимов обработки с положением пластины в рабочей камере формируют сложный рельеф макроскопических неоднородностей на пластине. В этом рельефе наблюдаются линейные и центрально-симметричные составляющие. На краях пластины амплитуда неоднородностей обычно резко возрастает. Характерные размеры макроскопических неоднородностей – от сотен микрометров до сотен миллиметров.

Для аналоговых микросхем наиболее важным является рассогласование параметров элементов, входящих в один функциональный блок. Зависимость разброса параметров элементов от их размеров и положения на кристалле описывается «законом Пелгрона»,

$$\sigma^2(\Delta P) = \frac{A_p^2}{W \times L} + S_p^2 \times D^2 \quad (5.1),$$

где $\sigma^2(\Delta P)$ – дисперсия разности параметров - ΔP двух одинаковых транзисторов (или других элементов) зависит от расстояния между ними – D и их активной площади $W \times L$ (L и W – длина и ширина элемента). A_p и S_p – параметры, определяемые экспериментально на основе измеренных величин разброса. Формула (4.1) является приближенной и не учитывает ряда эффектов, например, увеличения разброса на краях пластины, нелинейность зависимости дисперсии от расстояния между элементами. Дальнейшие уточнения «закона Пелгрона» ведутся по пути увеличения количества эмпирически подбираемых коэффициентов. Более точные модели содержат до 6 слагаемых в формуле для дисперсии и 9 эмпирически подбираемых коэффициентов. Простейшая и уточненная модели разброса могут давать оценки, отличающиеся на десятки процентов, но не в несколько раз. Определение эмпирических коэффициентов требует времени и немалых затрат. В большинстве случаев для схемотехнических расчетов используется простейшая формула (5.1).

Расчет параметров глобального разброса ведется методом последовательного усреднения. Сначала сравнивают средние значения параметров элементов в соседних кристаллах, затем в соседних зонах пластины, далее на пластинах одной партии, разных партий и т. д.

Разброс физически измеряемых параметров элементов микросхемы является следствием изменения нескольких параметров структуры. Таким образом, измеряемые параметры оказываются связанными. Связь параметров статистическая и характеризуется величиной ковариации

$$\text{cov}(x, y) = \frac{1}{n-1} \sum_{i=1}^n (x_i - M_x) \times (y_i - M_y) \quad (5.2),$$

где x, y – измеренные значения; n – количество измерений; M_x, M_y – математические ожидания величин x и y ; Для сравнения разных параметров удобнее пользоваться безразмерным коэффициентом корреляции

$$r(x, y) = \frac{\text{cov}(x, y)}{\sigma_x \times \sigma_y} \quad (5.3)$$

Статистическая связь между параметрами в общем случае нелинейная. Однако отклонения от среднего значения обычно невелики (5÷15%) и для практических целей статистическую зависимость параметров принято считать линейной, а коэффициент корреляции – постоянным и не зависящим от величин x и y . Коэффициенты корреляции одинаковы для локального и глобального разбросов.

Для моделирования микросхем не удается использовать непосредственно измеряемые параметры тестовых структур. Статистическое моделирование ведется на основе разброса параметров моделей элементов. Параметры моделей элементов определяются параметрами физической структуры, которые либо независимы, либо сильно связаны. Подготовка к этапу статистического моделирования включает расчет разброса для параметров моделей элементов и выделения наиболее значимых параметров. При моделировании КМОП-схем выделяются 6÷8 главных независимых параметров, которые и определяют технологический разброс характеристик приборов. Для главных параметров устанавливаются границы глобального разброса и эмпирические коэффициенты в формуле Пелгрона (5.1)

При схемотехническом моделировании необходимо выполнить совместный учет влияния локального и глобального разброса параметров структуры на параметры аналогового блока. Процессы глобального и локального разброса статистически независимы. Поэтому общая дисперсия любого параметра равна сумме локальной и глобальной дисперсий. Глобальный разброс действует на все элементы схемы, локальный учитывается только для функционального блока.

Получить статистическое распределение выходных параметров аналогового блока простым перебором случайных величин практически невозможно. Требуемые объемы вычислений и обработки их результатов очень велики. Поэтому для оценки статистического разброса совместно используются несколько методов.

Метод наихудшего случая требует 2^n - вариантов расчета схемы для n входных статистически независимых главных параметров. Расчеты ведутся для случаев максимального отклонения главных параметров от их математического ожидания. Результатом расчета являются максимальные отклонения выходных параметров блока от значений, полученных при установлении величин главных параметров структуры соответствующих математическим ожиданиям.

Метод границ параметров является разновидностью метода наихудшего случая и требует $2n$ вариантов расчета для n входных параметров. Расчеты ведутся для случаев максимального отклонения только одного из главных параметров. Значения остальных параметров задаются величинами, равными их математическому ожиданию.

Выходные параметры аналоговых блоков также являются статистическими величинами. Для практически значимых задач закон распределения выходных параметров всегда принимается нормальным. Отклонения от нормального распределения достаточно малы и в схемотехнических расчетах игнорируются. Дисперсию выходных параметров можно оценить аналитически с использованием известных методик или моделированием.

Для сложных схем с числом транзисторов более ста объемы вычислений растут катастрофически. Для оценки разброса параметров сложных схем используется принцип декомпозиции. Строится иерархическая модель схемы, выделяются статистически идентичные цепи, критические пути прохождения сигнала, проводится оценка статистической корреляции сходных фрагментов. Экспериментально установлено, что большинство похожих функционально блоков в микросхемах имеют мало отличающиеся статистические параметры. Это особенно характерно для цифровых элементов. В одной цепи обычно мало статистически различных блоков. В сложных схемах, как правило, имеются фрагменты, разброс параметров которых очень мало влияет на разброс выходных параметров схемы. Одновременно можно выделить критический путь прохождения сигнала, от которого зависят выходные параметры аналогового блока. Критических путей может быть несколько. Факторы глобального и локального разброса по-разному влияют на выходные параметры аналоговых блоков. Анализ их влияния можно проводить отдельно. Совместное использование декомпозиции анализируемых фрагментов и иерархической схемы статистического анализа позволяет сократить объем вычислений на несколько порядков.

Обычные средства схемотехнического анализа мало подходят для статистических расчетов. Методически самым правильным является использование скоростного аналогового симулятора типа Ultrasim фирмы Cadence, который позволяет оценить статистику выходных параметров аналогового блока простым перебором случайных чисел. Использование специальных программ статистического анализа позволяет упростить процедуру оценки разброса выходных параметров аналогового блока. Отметим программы SPAYN фирмы Silvaco и SIGMAP фирмы Celestry.

Большие затраты времени и вычислительных ресурсов препятствуют проведению полноценного статистического анализа аналоговых блоков. По этой же причине нет единой методики моделирования. Однако игнорировать этот этап анализа схемы в современных условиях уже невозможно. Самое упрощенное моделирование включает, как минимум, оценку влияния глобального разброса методом границ параметров и учет рассогласования

параметров при локальном разбросе путем сложения дисперсий для фрагментов, лежащих на критических путях.

Учет влияния внешних цепей

Все СФ-блоки имеют связи с элементами, находящимися за пределами кристалла СНК. Размеры проводников в конструкции корпуса и печатной платы на несколько порядков превышают размеры элементов на кристалле микросхемы. Соответственно, увеличиваются их индуктивности и емкости. Анализ взаимодействия системы на кристалле с внешними цепями выполняется на этапах верификации системной модели и конструктивного проектирования. При разработке СФ-блоков детали конструкции еще неизвестны, однако многие характеристики внешних цепей легко прогнозировать. Параметры выводов используемых корпусов можно измерить или рассчитать, а возможные варианты подключения СФ-блоков к внешним цепям определены техническим заданием или спецификацией.

Особое внимание необходимо уделить цепям питания. Шины питания на кристалле могут иметь значительное сопротивление, измеряемое десятими долями Ома. Индуктивность одного вывода корпуса до 10нГ. Импульсные помехи в цепях питания цифровых элементов имеют величины в несколько десятых долей вольта или до 20% логического перепада. Обычно такие помехи совершенно неприемлемы для питания аналоговых блоков. Как правило, цепи питания аналоговых блоков отделены от питания цифровых.

Информационные сигналы передаются между микросхемами по внешним сигнальным цепям. Скорость передачи информации ограничивается именно характеристиками сигнальных цепей, а не возможностями полупроводниковой технологии. В аналоговых микросхемах специально рассчитываются элементы согласования импедансов высокочастотных сигнальных цепей. Аналоговые блоки СНК находятся в более тяжелых условиях, чем специализированные микросхемы. Во-первых, на них действуют помехи от других СФ-блоков СНК. Во-вторых, при проектировании высокочастотных аналоговых СФ-блоков заранее не известны точные параметры сигнальных цепей, в том числе, реактивные параметры выводов корпуса. Искажения аналоговых сигналов в линиях связи напрямую влияют на потребительские качества электронного устройства. Согласование импедансов приемников и передатчиков аналоговых сигналов с импедансом линии связи требует использования дополнительных внешних элементов, либо специальных блоков управления импедансом на кристалле СНК.

Еще одна проблема связана со стойкостью микросхем к электростатическим разрядам (ЭСР). Защита от разрядов осуществляется введением в схему элементов защиты, которые замыкают входы и выходы микросхемы с цепями питания в случае перегрузки или электростатического разряда через выводы схемы. В нормальном рабочем режиме элементы защиты от ЭСР должны оказывать минимальное влияние на схему. Проблема

состоит именно в этом влиянии. Ток разряда может превышать 2А. Элемент защиты должен иметь суммарное сопротивление $2 \div 3 \text{ Ома}$. Размеры и соответствующая им емкость элементов защиты определяются максимальным током разряда. Элементы защиты вносят во входные и выходные цепи дополнительную емкость $0,5 \div 1,0 \text{ пФ}$. Дополнительная емкость в сигнальных цепях мешает согласованию импедансов. Иногда приходится жертвовать стойкостью к ЭСР ради повышения рабочей частоты.

Физическое проектирование

Основное отличие этапа физического проектирования аналоговых микросхем и СФ – блоков состоит в том, что параметры устройства в равной степени зависят и от электрической схемы и от физической реализации. Схемотехническое и физическое проектирование связаны в единый итерационный цикл и иерархический план проекта. В этом итерационном цикле проводится совместная оптимизация электрической схемы и топологии. При этом цикл схемотехнического моделирования чередуется с циклом уточнения параметров элементов и факторов их взаимодействия. В промежутке между циклами проводится корректировка электрической схемы и топологии блока.

Цели, которых добиваются разработчики в ходе оптимизации блока:

- Улучшение показателей быстродействия и потребляемой мощности.
- Снижение уровня шумов и помех.
- Снижение разброса выходных параметров блоков.
- Снижение влияния условий применения и установление требований к условиям применения блоков.

Для достижения поставленных целей необходимо соблюдать маршрут проектирования и последовательность операций:

- Установить приоритеты в системе параметров аналогового блока. Невозможно существенно улучшить все параметры одновременно. Для второстепенных параметров следует установить только граничные значения.
- Провести анализ результатов технологических тестов. Фабрики постоянно ведут измерения параметров тестовых кристаллов и могут предоставить эту информацию разработчикам.
- Выделить список критических узлов и фрагментов, определяющих выходные параметры блока. Для всех узлов и фрагментов установить градации по точности, помехоустойчивости и коэффициенту шума.
- Оценить условия применения и подготовить рекомендации по применению. Минимальная рабочая температура, уровень шумов и помех будут на краю кристалла, удаленном от мощных источников сигнала. Минимальный градиент температуры и лучшая воспроизводимость параметров элементов обычно наблюдаются в центре кристалла. Необходимо установить минимально допустимые расстояния

от критических узлов до тепловыделяющих элементов и источников мощных помех.

- Для проведения вычислений использовать современные средства САПР.
- Для снижения шумов физической природы в основном используются схемотехнические средства. Исключение составляет дробовой шум, связанный с утечками изолирующих областей. Захват и освобождение носителей заряда поверхностными и объемными состояниями в области изоляции создает мощный источник низкочастотных шумов. Борьба с утечками ведется топологическими средствами:
- Вокруг МОП-транзисторов создаются изолированные легированные охранные кольца. Области пространственного заряда стока и охранного кольца смыкаются. Напряжение стока при этом распределяется между двумя областями пространственного заряда, а напряженность электрического поля и ток утечки уменьшаются.
- Второй путь снижения утечек – это использование кольцевых концентрических структур МОП-транзисторов. Круглая область стока окружена кольцевым затвором, причем, область стока нигде не соприкасается с областью боковой изоляции. Как вариант кольцевой структуры возможна топология транзистора в виде пчелиных сот, в которых часть ячеек – истоки, а часть – стоки МОП-транзисторов.
- Если при формировании омических контактов к истоку и стоку используются слои силицидов металлов, то желательно удалять их с границ изоляции. Слои силицидов провоцируют утечки, увеличивая напряженность электрического поля и концентрацию поверхностных дефектов в области изоляции.
- Методы борьбы с помехами, возникающими при работе СНК, были рассмотрены выше. Перечислим их для общности изложения. Высокочастотная изоляция элементов включает:
- Использование полной изоляции МОП-транзисторов;
- Использование поликремниевых резисторов и изолированных пленочных конденсаторов;
- Разделение цепей питания блоков.
- Экранирование элементов требует:
- подключение подложки к заземлению аналоговых блоков;
- создание охранных колец вокруг элементов и узлов схемы;
- разделение уровней сигнальных связей металлизированными уровнями экранов;
- подключение каждого фрагмента и блока к шинам питания и заземления выполняется одним проводником и в одном месте.

Для снижения разброса выходных параметров аналоговых блоков применяются специальные приемы топологического проектирования конструктивных элементов. Отметим основные приемы уменьшения разброса для топологически идентичных элементов.

- Секционирование элементов и их последовательно-параллельное соединение.
- Структура типа «центроид», в которой секции нескольких элементов размещены равномерно в поле прямоугольника. Каждый элемент микросхемы получается объединением секций таким образом, чтобы «центры масс» всех элементов совпадали с центром прямоугольника.
- Однородность параметров секций в поле «центроида» улучшается, если краевые секции не используются, а являются фиктивными.
- Разброс параметров элементов в «центроиде» может быть вызван разным сопротивлением проводников, объединяющих секции. Для выравнивания сопротивления проводников рекомендуется уменьшить число переходных окон между уровнями металлизации или исключить их. Дублировать переходные окна там, где их нельзя исключить. По возможности, выровнять суммарную длину объединяющих проводников в каждом элементе.
- Уменьшение температурной зависимости резисторов достигается использованием в каждой секции двух резисторов с разнополярными величинами температурных коэффициентов. Поликремниевые резисторы меняют знак температурного коэффициента в зависимости от уровня и типа легирования.
- Особо точная подстройка параметров узлов и фрагментов выполняется в процессе контроля микросхемы. Для этого в ее состав вводится блок программируемой энергонезависимой памяти. Элементы памяти коммутируют аналоговые ключи, подключающие или исключающие дополнительные подстроечные секции в элементах микросхемы.
- Если в одном фрагменте схемы требуется использовать МОП-транзисторы с разной длиной затвора, то каждый из транзисторов должен собираться из одинаковых секций последовательным и параллельным соединением.
- Не обязательно использовать весь набор приемов уменьшения разброса параметров. Уровень требований к идентичности параметров определяет и необходимые средства по снижению разброса.

Модель высокого уровня

Моделирование систем на кристалле осуществляется только на основе моделей высокого уровня. Аналоговые блоки описываются поведенческими моделями на языках Verilog – А, Verilog – АМС и VHDL – АМС. В настоящее время нет программ, обеспечивающих автоматическое преобразование описания на языке высокого уровня в электрическую схему или обратно. Качество поведенческой модели, ее адекватность реальной схеме определяется опытом и искусством разработчика. Ведутся разработки программ, обеспечивающих настройку простых аналоговых блоков в соответствии с результатами их моделирования на транзисторном уровне.

Основной принцип разработки поведенческих моделей – это декомпозиция полной схемы и последовательная замена небольших схемных фрагментов их поведенческими описаниями. Современные симуляторы обеспечивают совместимость транзисторных и поведенческих моделей. Совместное функционирование аналоговых и цифровых блоков на уровне поведенческих моделей обеспечивается введением в структурную схему математических аналогово-цифровых и цифро-аналоговых преобразователей. Создание адекватных поведенческих моделей стало самостоятельным разделом схемотехники и требует отдельной специализации разработчиков.

Аттестация аналоговых блоков

Аттестация аналоговых блоков в составе тестовых кристаллов является обязательным этапом их разработки. Макетная реализация современных аналоговых СФ-блоков физически невозможна, а компьютерное моделирование выполняется на основе некоторых приближений, поэтому конкретные значения выходных параметров могут быть установлены только экспериментально. К тому же, достаточно велик риск ошибок в проекте.

Большинство фабрик периодически выпускают сборные тестовые партии. Заказчики имеют возможность изготовить тестовые кристаллы, оплатив только часть стоимости партии, пропорциональную занятой на пластине площади.

Измерение параметров аналоговых блоков является еще одной серьезной проблемой. Не существует универсальных тестеров или стендов для контроля аналоговых схем. Измерение параметров ведется с использованием нестандартных стендов, комплектуемых универсальными измерительными приборами. Для сигналов с частотой менее 100 МГц возможны формирование и регистрация сигналов с помощью цифро-аналоговых и аналого-цифровых преобразователей с последующим компьютерным анализом результатов. Параметры микромощных и высокочастотных выходных сигналов непосредственно измерить удастся не всегда. В таком случае проверка устройства осуществляется только путем оценки интегральных характеристик функционирования.

Процедуры аттестации аналоговых блоков можно существенно облегчить, если в состав тестового кристалла включить аттестованные ранее встроенные средства контроля. К таким средствам можно отнести аналоговые ключи, устройства выборки и хранения аналоговых сигналов, аналого-цифровые и цифро-аналоговые преобразователи. Такой подход дает возможность реализовать самую чувствительную к помехам часть нестандартного стенда непосредственно на тестовом кристалле. Встроенные средства контроля позволяют приблизить условия работы СФ-блока при измерениях к условиям на кристалле СНК.

Отличия в проектировании аналоговых СФ-блоков и заказных СБИС

Разработка аналоговых СФ-блоков для «систем на кристалле» имеет много общих этапов с разработкой обычных аналоговых микросхем. Так, маршрут проектирования основывается на анализе завершенных ранее проектов, и решающую роль в принятии решений имеет расчет-прогноз параметров устройства. Самый трудный этап – это совместная параметрическая оптимизация электрической схемы и топологии.

Существует ряд принципиальных отличий маршрута проектирования СФ-блоков от маршрута проектирования заказных микросхем:

- Нет возможности выбора технологии. Наоборот, СФ-блок разрабатывается под заданный техпроцесс.
- Поскольку реальное окружение СФ-блока в составе СНК будет меняться, то невозможно подготовить реальную модель помех. Необходимо обеспечить запас помехоустойчивости.
- Так как производственной основой СНК являются КМОП-техпроцессы с субмикронными размерами, то разброс параметров элементов резко увеличивается.
- Статистическое моделирование блока с учетом разброса технологических параметров становится обязательным этапом.
- Еще одним обязательным этапом является разработка поведенческой модели с использованием языка высокого уровня (Verilog-AMS, VHDL).
- Аттестация СФ-блока и измерение его параметров в условиях, близких к условиям на кристалле СНК, требуют разработки специального тестового кристалла со встроенными средствами контроля.

6. Синхронизация и связность сигналов в системах на кристалле

Не существует единственного и универсального метода обеспечения связности сигналов. Для каждого набора требований к сигналам системы и условиям их реализации составляется свой набор средств борьбы с помехами и неоднородностями в элементах. На каждом этапе проекта используются свои средства обеспечения связности сигналов, и все этапы влияют на этот процесс. Детально проблемы шумов и искажения сигналов рассмотрены в разделе 4.

Обеспечение синхронизации сигналов на этапе системного проектирования

При составлении архитектурного плана СНК предпочтение должно отдаваться вариантам, в которых не требуется передавать высокочастотные сигналы одновременно в несколько блоков. Выгодно использовать конвейерную последовательную обработку и асинхронный протокол передачи данных. Для понижения частоты системного синхросигнала эффективно использование локальных подсистем синхронизации в каждом большом блоке.

Подготовка спецификаций на сигналы должна проводиться с учетом воздействия дестабилизирующих факторов. Для цифровых блоков – это технологическая воспроизводимость и кратковременная нестабильность задержек вентиляей. Для аналоговых блоков – изменение соотношения сигнал/шум.

Требования к задержкам и длительностям фронтов импульсов должны включать как максимальные, так и минимальные допустимые значения. Без необходимости не следует увеличивать быстродействие отдельных блоков и цепей, так как это только увеличивает потребляемую мощность и создает дополнительные помехи в системе.

Длинные связи между блоками объединяются в шины. Помехоустойчивость связей зависит от энергии сигналов и уровня помех. Уровень перекрестных помех в шинах можно снизить, уменьшая логический перепад. Энергию сигнала можно увеличить, используя низкоомные нагрузки. Наилучшее качество сигналов достигается в согласованных линиях связи, в которых сопротивление нагрузки совпадает с волновым сопротивлением линии. Однако трудно создать линию связи с малыми потерями и волновым сопротивлением более 100 Ом. При разумной мощности драйверов (не более 1 мВт) логический перепад в согласованной линии будет очень мал. В согласованной линии связи на кристалле может быть использован один токовый драйвер и только один трансимпедансный входной усилитель. Но и в тех случаях, когда согласование источников и

приемников сигнала с линией не достигается, низкоомные (менее 1 кОм) нагрузки значительно повышают помехоустойчивость линий связи.

Обеспечение синхронизации сигналов на этапе функционального проектирования

На этом этапе проводится совместная оптимизация быстродействия и помехоустойчивости. Моделирование блоков и системы в целом проводится с учетом параметров проводников. На первом этапе моделирования, когда топологии еще нет и конкретные значения параметров проводников неизвестны, используются усредненные значения из ранее завершенных проектов.

Обычно цифровые устройства реализуются как автоматы с конечным числом состояний. Данные фиксируются по синхросигналу (СС) в регистры состояний и распространяются по комбинационным цепям в промежутках между моментами синхронизации. Анализ связности сигналов осуществляется с использованием «глаз» диаграммы. На «глаз» диаграмме строятся временные диаграммы сразу всех входных импульсов регистра состояний, включая и синхросигнал. Диаграммы строятся с учетом всех допустимых отклонений задержек входных сигналов. Если на полученном графике остается «глаз», то есть промежуток времени, в котором не происходит никаких переключений входных сигналов, то система будет работоспособной. По графику определяются необходимые времена установки и удержания входных импульсов регистра состояний. Очевидно, что период синхросигнала должен быть больше суммарного времени установки и удержания. Отношение ширины «глаза» к периоду синхросигнала определяет устойчивость системы к помехам и внешним воздействиям. Хорошим считается отношение более 0,5.

Для выравнивания задержек в шинах передачи данных используются адаптивные драйверы с элементами обратной связи, а также регенераторы формы сигналов. Часто применяется метод регенерации под названием «ромашковый венчик», в котором регенераторы-повторители сигналов стоят на входах блоков, подключенных к этой шине.

Для сигналов синхронизации важно не только их одновременное воздействие на регистры состояний, но и длительности фронтов, которые не должны быть больше критической величины для выбранного типа триггеров. Для выравнивания задержек и формирования фронтов цепь синхронизации обычно строится в форме «дерева». Площадь кристалла или цифрового блока, занятая логическими элементами, разбивается на квадранты. Каждый квадрант снова делится на более мелкие квадранты и т.д. Корневой драйвер цепи синхронизации размещается в центре кристалла или блока. Этот драйвер управляет четырьмя драйверами второго яруса, размещенными в центрах больших квадрантов. Далее сигнал идет к драйверам третьего яруса, размещенным в центрах малых квадрантов и т.д. Необходимое число ярусов определяется сложностью схемы и нагрузочной способностью драйверов.

Длины проводников в каждом ярусе по возможности выравниваются. Синхросигнал от источника доходит до каждого триггера через одинаковые элементы и линии связи, что обеспечивает минимальный разброс задержек фронтов импульсов

Обеспечение синхронизации на этапе физического проектирования и верификации

Основной метод обеспечения синхронизации сигналов при физическом проектировании СНК - это моделирование системы с учетом размещения элементов и реальных параметров проводников. В электрической схеме проводники заменяются многосекционными моделями с сосредоточенными R-L-C параметрами. Существует программы расчета параметров моделей проводников на основе реальной топологии. Перекрестные электромагнитные связи между проводниками в моделях с сосредоточенными параметрами обычно не учитываются. Для учета перекрестных связей разработчику необходимо выделить интересующую его группу проводников (например, трансформатор) и определить параметры модели с использованием специального электромагнитного симулятора. После этого заменить в схеме все модели выделенных проводников одной новой групповой моделью связанных проводников. По результатам моделирования проводится совместная оптимизация электрической схемы и топологии. Имеются программы, автоматически выполняющие совместную оптимизацию схемы и топологии цифровых устройств.

Однако, еще до проведения совместного моделирования СНК, топология блоков и системы в целом разрабатывается по определенным правилам. Соблюдение этих правил сокращает число итераций при разработке топологии и обеспечивает достижение положительного результата.

Особое внимание уделяется цепям питания и синхронизации. Сопротивление цепей питания рассчитывается не для усредненного, а для максимального пикового тока. Обычно пиковый ток системы достигается после рабочего фронта импульса синхронизации. Для пикового тока суммарное падение напряжения в шинах питания и «общий» не должно превышать 10% логического перепада. На падение напряжения в шинах влияет не только их сопротивление, но и индуктивность. Для снижения индуктивности шины питания и «общий» располагают по возможности ближе друг к другу. Токи в этих шинах должны течь навстречу, т.е. в противоположных направлениях. Для этого контактные площадки «питание» и «общий» размещаются попарно рядом и равномерно по периметру кристалла. Глобальные цепи питания объединяются в кольца по периметру кристалла. Внутри блоков обычно используется встречно - штыревая структура шин питания, удобная для компактного размещения элементов. При разработке топологии цепи питания формируются в первую очередь.

Во вторую очередь разводится «дерево» синхронизации. В отсутствии других сигнальных проводников легко удастся выровнять параметры линий связи в каждом ярусе «дерева».

Автоматическая или полуавтоматическая трассировка остальных цифровых элементов выполняется в третью очередь. Причем, в программе автоматической трассировки можно указать приоритетные линии связи, которые будут проведены кратчайшим путем, например, для самых высокочастотных сигналов.

Если цифровые блоки проектируются только с использованием различных автоматических программных средств, то при проектировании топологии аналоговых блоков автоматические средства используются ограниченно. Разнообразные параметры аналоговых элементов сильно зависят от их топологии, и оптимизировать набор этих параметров пока может только разработчик.

При разработке топологии аналоговых блоков решаются две основные задачи: снижение уровня системных шумов и улучшение однородности параметров элементов. Подробно эти задачи описаны в разделе 4.

Обеспечение синхронизации и связности сигналов на этапах аттестации проекта, производства изделий и их применения

Все предпосылки для надежной бессбойной работы электронной системы закладываются на этапе ее разработки. Однако невозможно создать систему работоспособную в любых условиях применения и при этом абсолютно устойчивую к любому разбросу технологических параметров элементов. Система будет работоспособна и надежна только при соблюдении достаточно жестких требований к производству и условиям применения. Эти условия определяются на этапе аттестации проекта. Условия производства и эксплуатации составляют единый комплекс ограничений. Например, невозможно изменить условия эксплуатации изделий, не контролируя их работоспособность в этих условиях в процессе производства.

Сложнофункциональные микросхемы, имеют повышенную чувствительность к шумам, помехам и неоднородностям физической структуры. Эти особенности усложняют технические процедуры аттестации изделий и установление достоверных критериев отказов. Однако, организационные методы обеспечения качества на этапах аттестации, производства и эксплуатации остаются одинаковыми для микросхем любой сложности.

Элементы подсистем синхронизации для СФ-блоков

Так как маршрут проектирования СНК не предусматривает переделку СФ-блоков, то каждый СФ-блок должен иметь собственную подсистему

синхронизации. Функции подсистемы синхронизации в СФ-блоке те же, что и в любых синхронных микросхемах. Это инициализация устройства при включении питания, генерация и распределение синхросигналов, выравнивание задержек на выходных шинах данных и восстановление данных на входах. Совместная работа СФ-блоков в составе СНК достигается реализацией асинхронного протокола передачи данных или передачей синхросигнала вместе с данными по одной шине от одного блока к другому. Для работы с внутренними шинами СНК в состав СФ-блоков вводятся внутренние интерфейсы и синхрогенераторы. Также как в системах на печатных платах в СНК на все СФ-блоки распределяются параллельно только сравнительно низкочастотные опорные синхросигналы. Высокочастотные синхросигналы вырабатываются внутри СФ-блоков собственными синхрогенераторами или восстанавливаются внутренними интерфейсами из входного потока данных. Независимая локальная синхронизация снижает уровень помех в общих цепях питания, так как переключения элементов в разных СФ-блоках происходят в разное время.

Синхрогенераторы для СФ-блоков

Требования к электрическим параметрам синхрогенераторов для цифровых и аналого-цифровых СФ-блоков обычно не очень жесткие. Основная проблема состоит в том, что традиционный маршрут проектирования синхрогенераторов основан на использовании принципа фазовой автоподстройки частоты (ФАПЧ) и аналоговых методов управления с применением R-C фильтров нижних частот. При этом R-C фильтры занимают большую площадь на кристалле или подключаются извне через выводы микросхемы. Для СНК с десятью локальными синхросигналами потребуется не менее 30 внешних компонентов на плате, 20 дополнительных выводов корпуса или увеличение площади кристалла в 2-3 раза. Технико-экономические показатели продукции при этом значительно ухудшаются. Для СФ-блоков требуются новые схемы синхрогенераторов, в которых используются цифровые малогабаритные фильтры нижних частот без внешних компонентов.

Основным критерием выбора структуры синхрогенератора с цифровой ФАПЧ является требуемая величина кратковременной нестабильности частоты – так называемого джиттера (jitter – уход, «дрожание» частоты). Так как цифровая система работает дискретно, то джиттер не может быть меньше одного дискрета перестройки генератора (единицы младшего разряда контролирующей системы управления). Для СФ-блоков в составе СНК достаточно иметь синхросигналы с джиттером порядка 3-5% . Это обычная величина для цифровых систем. Вторым критерием выбора структуры является заданная номинальная частота синхросигнала.

Адаптивные драйверы

Задержки импульсов в сигнальных проводниках определяются скоростью электромагнитной волны, RC-постоянной времени проводника и выходным сопротивлением драйвера. При компоновке и трассировке кристаллов СНК наиболее длинные и ответственные сигнальные цепи (синхросигналы и системные шины данных) реализуются в соответствии с принципом обратного масштабирования. Чем длиннее проводники, тем они шире, а переходные окна между уровнями металлизации дублируются для уменьшения сопротивления. В такой конструкции задержка импульса, связанная со скоростью электромагнитной волны и RC параметрами проводника, не превышает 10пс на 1мм длины. Рассеянная емкость проводника составляет $100\div 150$ фФ на 1мм длины. При выходном сопротивлении драйвера 100 Ом и более, задержка импульса определяется нагрузочной способностью драйвера. Типовая величина выходного сопротивления драйверов – 1кОм.

Синхронная работа СФ блоков в СНК обеспечивается при определенных ограничениях на задержки сигналов в линиях связи. Возможны три варианта управления задержками сигналов в линиях связи: избыточное увеличение мощности драйверов, буферизация линий связи с использованием повторителей сигналов и применение адаптивных драйверов на выходах СФ-блоков. Первый вариант требует значительного увеличения потребляемой электрической мощности. Второй вариант технически сложен и требует создания отдельной системы питания повторителей в поле сигнальных проводников. Оптимальным можно считать третий вариант, обеспечивающий минимально необходимую мощность драйверов и отсутствие дополнительных активных элементов в промежутках между СФ-блоками.

Принцип действия адаптивного драйвера состоит в том, чтобы формировать одинаковые фронты и соответствующие им задержки распространения сигнала между СФ-блоками в СНК вне зависимости от емкости нагрузки.

Для решения проблемы распространения сигналов между СФ-блоками в СНК разработана структура адаптивного драйвера с управляемым импедансом, рис.6.1.

Драйвер с управляемым выходным импедансом построен на реверсивном счетчике и управляемых инвертирующих буферах с третьим состоянием. В схеме физически присутствуют опорный элемент, формирующий эталонный фронт. Опорный элемент включает драйвер с наименьшей нагрузочной способностью и эталонную емкость нагрузку ($C_{\text{эталона}}$). Такой же выходной фронт адаптивному драйверу необходимо сформировать независимо от внешней нагрузки ($C_{\text{нагрузки}}$). Один драйвер минимальной нагрузочной способности всегда подключен к внешней нагрузке, а остальные способны подключаться или отключаться в зависимости от сигнала управления. Инвертор на входе блока формирует

сигнал, который поступает разными путями на эталонный драйвер и эталонную нагрузку и одновременно на входы драйверов с изменяемой нагрузочной способностью. На выходах эталонного и рабочего каналов мы получаем сигналы, которые нагружены на эталонную ($C_{\text{эталона}}$) и неизвестную ($C_{\text{нагрузки}}$) емкости соответственно. Эти 2 сигнала подаются на входы фазового детектора. С выхода фазового сигнала поступают на реверсивный счетчик, формирующий код, управляющий матрицей драйверов, с изменяемой нагрузочной способностью. Код активирует или переводит в состояние с высоким импедансом соответствующую группу драйверов. Наконец в системе наступает баланс, то есть задержка управляемого сигнала становится равной задержке эталонного. Поскольку данная система цифровая, то точность настройки остается на уровне влияния младшего разряда управляющего кода. Заранее неизвестная емкость нагрузки не может быть меньше эталонной. Диапазон регулировки адаптивного драйвера с фазовым детектором определяется разрядностью управляющего кода. В схеме на рис.6.1 использован 5-разрядный реверсивный счетчик – соответственно допустимая величина емкости нагрузки может изменяться в 32 раза.

Блок инициализации (начальных установок)

Для корректной работы цифровых блоков в СНК необходимо предусмотреть сигнал установки в начальный момент времени (при включении питания).

Система инициализации обычно реализуется отдельным СФ-блоком. В общем случае в СНК не предусмотрен внешний сигнал сброса в начальный момент работы системы. Схема инициализации может быть объединена с генератором опорной частоты, тогда сигнал начальной установки появляется при нарастании напряжения питания (при включении схемы), и сбрасывается по первому импульсу опорного синхросигнала.

Сигнал начальной установки в активном уровне блокирует несанкционированный синхросигнал в СНК. Пороговое устройство на выходе опорного генератора снимает сигнал начальной установки, и подает опорный синхросигнал только через несколько микросекунд после того, как на опорном кварцевом генераторе опорной частоты появилось напряжение питания. Таким образом, синхроимпульсы начинают поступать на входы тактируемых элементов СНК после того, как завершилась начальная установка, а генератор опорной частоты вошел в стационарный режим работы.

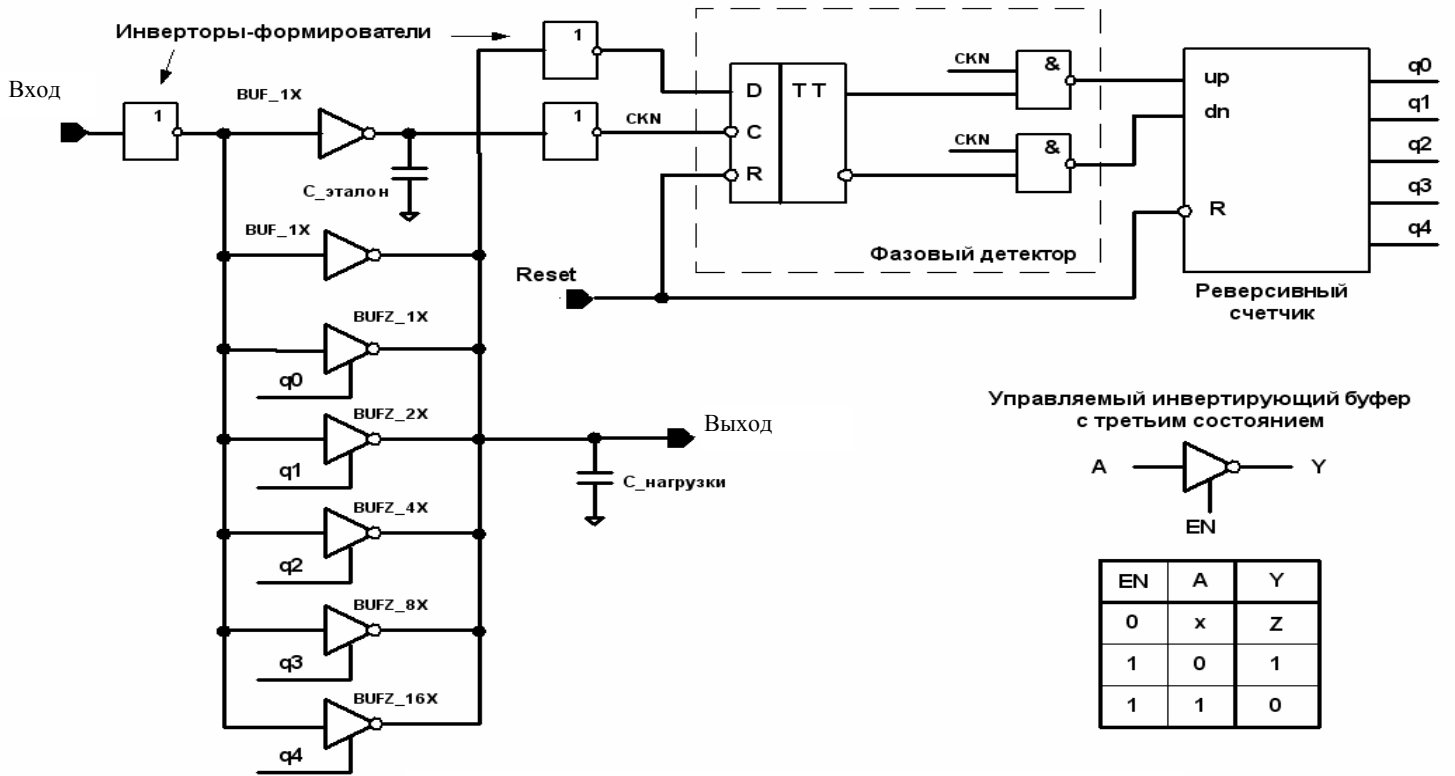


Рис.6.1

Структура адаптивного драйвера с управляемым выходным импедансом

7. Моделирование аналого-цифровых систем с использованием языка Verilog-A

Языки описания аналоговых устройств и используемые симуляторы

Исторически сложилось, что детальное моделирование аналоговых схем выполняется на транзисторном уровне. По своей сути это физическое моделирование, основанное на законах электродинамики. Цифровые схемы обычно моделируются на вентильном или поведенческом уровнях. Для аналогового моделирования могут использоваться симуляторы SPICE и Spectre со своими входными языками, для цифрового моделирования NC Verilog. Повышение производительности систем моделирования достигается применением поведенческих моделей аналоговых устройств и их совместным использованием с поведенческими моделями цифровых устройств. Для описания поведенческих моделей аналоговых блоков используются языки Verilog-A, Verilog-AMS, VHDL-AMS. Для моделирования аналого-цифровых устройств применяются симуляторы Spectre-Verilog и AMS Designer фирмы Cadence. При построении системы, использующей цифровые и аналоговые блоки, связи между ними должны включать математические аналого-цифровые и цифро-аналоговые преобразователи, в реальной схеме отсутствующие.

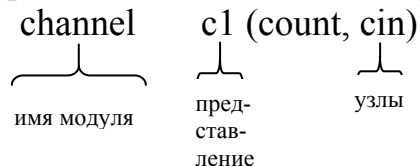
Области применения языка Verilog-A

Verilog-A используется для моделирования непрерывных процессов различной природы: электрических, магнитных, механических и др. Мы рассматриваем применения языка только для анализа электрических цепей. Базовые понятия языка “потенциал узла” и “поток ветви” для электрических цепей понимаются как напряжение и электрический ток. Кроме напряжения и тока в языке используются имена элементов, модулей и узлов, а также параметры: целые, действительные, комплексные и векторные. Verilog-A может описывать аналоговые системы двух типов: консервативные и сигнальные (поведенческие). В консервативных системах выполняются законы Кирхгофа, Ома и другие законы теории цепей, а сигналы не разделяются на входные и выходные. В сигнальных системах выходные сигналы определяются как функции входных сигналов и обратного влияния на входные сигналы не имеют. Описание схемы на транзисторном уровне моделируется как консервативная система. Симуляторы, использующие входной язык Verilog-A, воспринимают и обычное описание электрической схемы для SPICE-симулятора или Spectre.

Основы языка Verilog-A

а) Иерархия системы.

Все блоки системы описываются как модули, включая и головной блок системы. Структурное описание системы включает список модулей с указанием списка узлов, к которым подключен каждый модуль. Описание модуля включает и имя представления модуля в данной схеме. Например, один и тот же блок может быть описан несколько раз с разной степенью детализации на транзисторном или поведенческом уровне.



Возможны следующие уровни описания модулей:

- структурный (транзисторный);
- функциональный (примитивный);
- смешанный структурно-функциональный;
- поведенческий

В качестве структурного описания блока на транзисторном уровне может быть использовано описание схемы на входном языке симулятора SPICE.

б) Структура модуля в языке Verilog-A.

Пример №1. Модуль структурный

```
module modem (dout, din);
  inout dout, din;
  electrical dout, din;
  parameter real fc=100.0 eG;
  electrical clk, cin, cout;
  gam_mod # (.carrier_freq(fc)) mod (cin, din, clk);
  channel c1 (cout, cin);
  gam_demod # (.carrier_freq(fc)) demod (dout, cout, clk);
endmodule
```

- Имя модуля со списком портов.
- Назначение портов.
- Назначение дисциплины с указанием портов.
- Назначение параметров.
- Назначение внутренних узлов.
- Список входящих модулей.
- Конец описания.

Описание любого блока начинается со слова **module** и заканчивается словом **endmodule**. Строки описания заканчиваются символом (;). Процедурные операторы знаками препинания не выделяются.

Пример №2. Модуль сигнальный

```
module sah (out,in,clk);
  output out;
  input in,clk;
  electrical out,in,clk;
  real state=0;
  analog begin
    @ (cross (V (clk)-2.5+1.0));
    begin
      state=V (in);
    end
    V (out)<+transition (state,1m,0.1u);
  end
end module
```

- Имя модуля со списком портов.

- Назначение портов отдельно выходов и входов.

Назначение портов определяет тип системы консервативной или сигнальной.

- Назначение дисциплины с указанием портов.

- Назначение параметров.

- Начало аналоговых операций, если оператор только один, то можно использовать одно слово “analog”.

- Аналоговые операторы.

- end-конец аналоговых операций.

Команда не нужна, если использовать слово “analog” и только один оператор.

- Конец описания модуля.

Модули могут быть смешанными с расшифровкой внутренней структуры, назначением внутренних переменных и поведенческим описанием взаимодействия модулей через внутренние переменные и аналоговые операторы.

в) Аналоговые операторы.

- Оператор присвоения (<+) действует только на напряжения узлов и токи ветвей. Последовательное использование нескольких операторов приводит к суммированию результата. Например, ток ветви P1, P2 равен сумме токов ветвей P0, P1 и PP, P1

$$I (P1,P2) <+ v (P0,P1)/R1;$$

$$I(P1,P2) \leftarrow v(PP,P1)/R2;$$

- Процедурные операторы:

```
"analog" или пара      analog begin
                        :
                        end
```

определяют зону действия аналоговых операторов.

- Оператор условных переходов:

```
if (условие)
оператор №1
else
оператор №2
```

при выполнении условия выполняется оператор №1, если наоборот, то оператор №2.

Несколько аналоговых операторов можно объединить в группу парой команд:

```
begin
:
end
```

- Тернарный оператор

(условие)? (оператор №1): (оператор №2);

краткая запись оператора условных переходов.

- Оператор дифференцирования по времени ddt (x(t))

$V(out) \leftarrow scale * ddt(V(in)).$

- Оператор интегрирования по времени idt (x(t)+x₀)

$V(out) \leftarrow scale * idt(V(in),start).$

- Оператор задержки delay (x(t),t_{здр})

$V(out) \leftarrow delay(V(in),50n).$

- Оператор переключения transition (параметр, t_{здр}, t_{фр}, t_{ср})

$V(out) \leftarrow transition(V(in),2n,5n,5n).$

- Оператор сглаживания slew (параметр, скорость роста, скорость спада);

оператор ограничивает максимальные скорости роста и спада сигнала

$V(out) \leftarrow slew(V(in),5e8,-5e8).$

- Преобразование Лапласа- частотный фильтр

$V(out) \leftarrow laplace_np(V(in),\{.....\}).$

Есть четыре формы записи оператора zp,zd,np,nd;

список параметров в соответствии с инструкцией.

- Оператор дискретизации также имеет 4 формы: zp,zd,np,nd.

$V(out) \leftarrow zi_nd(V(in),\{1.0\},\{1.0\},10n).$

- Оператор пересечения @ cross (параметр, направление)

@ cross (V(in),+1.0)

```
begin
```

```
  : (аналоговые операторы)
```

```
end
```

- Таймер-@ timer (старт, период)

```
@ timer (1n,10n)
begin
V(out) <+ V(out)+0.1;
end
```

- Оператор непрямого присвоения (: ==) (изменяемый параметр) : (условие равенства)

Запись для схемы операционного усилителя с цепью отрицательной обратной связи

```
V(out) : V(in1,in2) == 0.0
Синусоидальный генератор V(x) = sin(w*t)
begin
if (analysis("dc"))
V(dx) <+ W;
else
V(dx) <+ ddt(V(x));
V(x) : ddt (V(dx)) == - W*W* V(x);
end
```

- Оператор итераций для известного целого числа раз repeat (условие повторения); (операторы)
пример: repeat (11);

...

- Оператор итераций для достижения цели while (условие)
:
пример: while (V(out)>1.0);

г) Математические функции

- Сложение (+) $x + y$
- Вычитание (-) $x - y$
- Умножение (*) $x * y$
- Деление (/) x / y
- Абсолютное значение (abs(x)) $abs(x)$
- Синус, косинус $\sin(x)$, $\cos(x)$ $\sin(x)$, $\cos(x)$
и другие тригонометрические функции имеют обычную

математическую запись.

- Логарифмы $\ln(x)$, $\log(x)$, $\ln(x)$, $\log(x)$
- Степень x^y – pow(x,y)
- Корень sqrt(x), sqrt(x)

Пример

```
// VerilogA for CMP100v6Test, OpAmp, veriloga

`include "constants.vams"
`include "disciplines.vams"

`define PI
3.14159265358979323846264338327950288419716939937511

//-----
// opamp
//
// - operational amplifier
//
// vin_p,vin_n: differential input voltage [V,A]
// vout: output voltage [V,A]
// vref: reference voltage [V,A]
// vsupply_p: positive supply voltage [V,A]
// vsupply_n: negative supply voltage [V,A]
//
// INSTANCE parameters
//   gain          = gain []
//   freq_unitygain = unity gain frequency [Hz]
//   rin           = input resistance [Ohms]
//   vin_offset    = input offset voltage referred to
negative [V]
//   ibias        = input current [A]
//   iin_max      = maximum current [A]
//   slew_rate    = slew rate [A/F]
//   rout         = output resistance [Ohms]
//   vsoft        = soft output limiting value [V]
//
// MODEL parameters
//   {none}
//

module OpAmp(vout, vref, vin_p, vin_n);
input vref;
inout vout, vin_p, vin_n;
electrical vout, vref, vin_p, vin_n, vsupply_p,
vsupply_n;
parameter real gain = 40;
parameter real freq_unitygain = 1.0e6;
parameter real rin = 1e6;
parameter real vin_offset = 0.0;
```

```

parameter real ibias = 0.0;
parameter real iin_max = 100e-6;
parameter real slew_rate = 0.5e6;
parameter real rout = 80;
parameter real vsoft = 0.5;
parameter real vsupply_p = 3.3;
parameter real vsupply_n = 0;

real c1;
real gm_nom;
real r1;
real vmax_in;
real vin_val;

electrical cout;

analog begin

    @ ( initial_step or initial_step("dc") ) begin
    c1 = iin_max/(slew_rate);
    gm_nom = 2 * `PI * freq_unitygain * c1;
    r1 = gain/gm_nom;
    vmax_in = iin_max/gm_nom;
    end

    vin_val = V(vin_p,vin_n) + vin_offset;

    //
    // Input stage.
    //
    I(vin_p, vin_n) <+ (V(vin_p, vin_n) +
vin_offset)/ rin;
    I(vref, vin_p) <+ ibias;
    I(vref, vin_n) <+ ibias;

    //
    // GM stage with slewing
    //
    I(vref, cout) <+ V(vref, cout)/100e6;

    if (vin_val > vmax_in)
        I(vref, cout) <+ iin_max;
    else if (vin_val < -vmax_in)
        I(vref, cout) <+ -iin_max;

```

```

else
    I(vref, cout) <+ gm_nom*vin_val ;

    //
    // Dominant Pole.
    //
    I(cout, vref) <+ ddt(c1*V(cout, vref));
    I(cout, vref) <+ V(cout, vref)/r1;

    //
    // Output Stage.
    //
    I(vref, vout) <+ V(cout, vref)/rout;
    I(vout, vref) <+ V(vout, vref)/rout;

    //
    // Soft Output Limiting.
    //
    if (V(vout) > (V(vsupply_p) - vsoft))
        I(cout, vref) <+ gm_nom*(V(vout,
vsupply_p)+vsoft);
    else if (V(vout) < (V(vsupply_n) + vsoft))
        I(cout, vref) <+ gm_nom*(V(vout, vsupply_n)-
vsoft);
    end
endmodule

```


8. Защита микросхем от электростатического разряда

Возникновение электростатических разрядов и их действие на микросхемы

Электростатические заряды всегда присутствуют на изолированных предметах.

Источником электростатических разрядов для микросхем являются подключаемые кабели, роботы манипуляторы или люди, касающиеся микросхем в процессе их изготовления или монтажа на платы.

Исследование процессов, связанных с электростатическими разрядами, проводятся на основе электрических моделей источников. Электрическая модель человеческого тела характеризуется емкостью 100пФ, которая разряжается через сопротивление 1,5 кОм. Из модели следует, что постоянная времени разряда не может быть менее 150 нс. Напряжение разряда может достигать нескольких киловольт. Энергия разряда распределяется между ограничивающим резистором и элементами микросхемы.

Электромеханическая модель характеризуется емкостью 200пФ и ограничивающей индуктивностью 500нГ. Разряды от манипуляторов более опасны для микросхем, так как вся энергия конденсатора поглощается элементами микросхемы. Напряжение разряда, как правило, определяется утечками изоляции в системе электропитания и составляет несколько сотен вольт.

Модель электрического кабеля имеет распределенную многосекундную структуру. Для расчетов и испытаний используется кабель длиной 10 метров, характеризующийся удельной емкостью 66пФ на метр и удельной индуктивностью 80нГ на метр. Напряжение разряда - до 1000В. Кабель – это самый опасный источник разрядов, но воздействует разряд только на разъемы печатных плат, и для защиты можно использовать дополнительные элементы, размещаемые на платах.

Для того, чтобы охарактеризовать стойкость микросхем к электростатическим разрядам, используется модель человеческого тела. В соответствии с этой моделью проводятся испытания микросхем и составляются спецификации. Чем больше падение напряжения на ИМС, тем большая энергия выделяется. Отказы ИМС от воздействия разрядов происходят при электрическом пробое диэлектриков и при оплавлении металлизации в полупроводниковые структуры. Во всех случаях дефекты имеют локальный характер и проявляются как электрическое замыкание между выводами транзисторов или диодов. Разряды через цепи питания ИМС редко приводят к отказам. Наиболее опасны разряды через входы и выходы ИМС.

При электрическом пробое полупроводниковых приборов области пробоя столь малы, что их максимальный разогрев происходит за время,

меньшее времени разряда. Фактором, определяющим возникновение отказа, является напряжение на затворе (для МДП-транзисторов) или тепловая мощность пробойного тока (для биполярных транзисторов и полевых транзисторов с затвором Шотки).

Испытания ИМС на устойчивость к электростатическому разряду, характеристика устойчивости

Для испытаний формируется выборка не менее пяти микросхем. Электростатические разряды (ЭСР) подаются между выводами питания и выводами входов (выходов).

Упрощенная схема стенда показана на рис. 8.1 (здесь $\pm V_{ECC}$ - ЭСР).

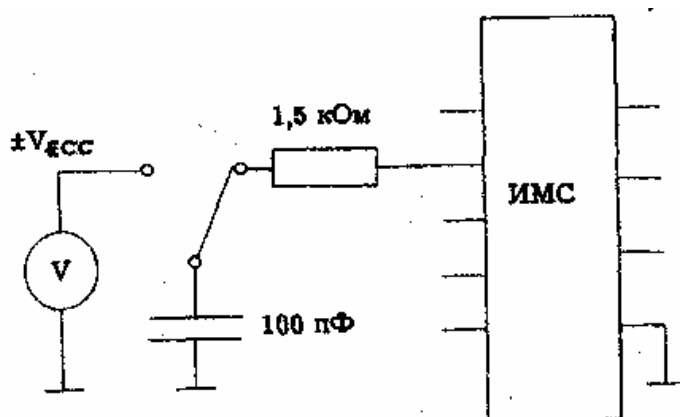


Рис. 8.1. Схема стенда испытаний ИМС на устойчивость к электростатическому разряду в соответствии с моделью человеческого тела

Разряды (положительной и отрицательной полярности) подаются сериями по 30. Если единичный разряд вызывает изменения в элементах ИМС, но не приводит к отказу, то серия из 30 разрядов "добивает" микросхему до окончательного отказа. Напряжение разряда повышается ступенчато в соответствии с ОСТ II 073.013-83. После воздействия разрядами проводится контроль электрических параметров ИМС. Напряжение разряда повышается до появления первого отказа во всей выборке испытуемых ИМС. Напряжение второй ступени, предшествующей отказу, считается допустимым потенциалом электростатического разряда (ДПЭСР).

Элементы защиты от электростатического разряда

Защита ИМС от ЭСР осуществляется введением в схему дополнительных элементов, которые передают ток разряда в цепи питания и ограничивают его во входные и выходные каскады. Самый простой и распространенный элемент защиты показан на рис.8.2.

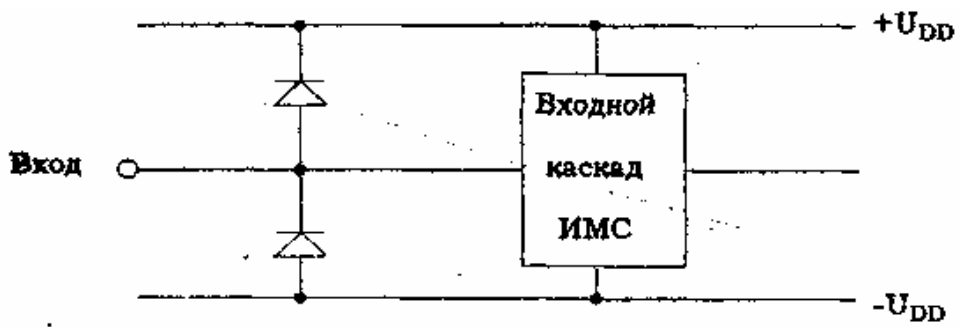


Рис. 8.2. Входной элемент защиты от электростатического разряда.

Схемы, обладающие эффективными элементами защиты, имеют величину ДПЭСР 2000В и допускают свободную манипуляцию с ними. ИМС с величиной ДПЭСР менее 200В считаются ненадежными, так как могут отказаться даже при использовании антистатических браслетов, и используются в редких случаях.

В быстродействующих ИМС, например ЭСЛ, реальное быстродействие ограничивается емкостями и индуктивностями входных цепей. Введение элементов защиты увеличивает входную и выходную емкости, что ограничивает и быстродействие ИМС. Проектирование элементов защиты проводится совместно с оптимизацией быстродействия входных и выходных каскадов ИМС.

Моделирование режима электростатического разряда

Моделирование разряда проведем на примере элемента защиты, показанного на рис.8.2. Для этого потребуется модель защитного диода для больших токов и напряжений. ВАХ диода для больших токов показана на рис.8.3.

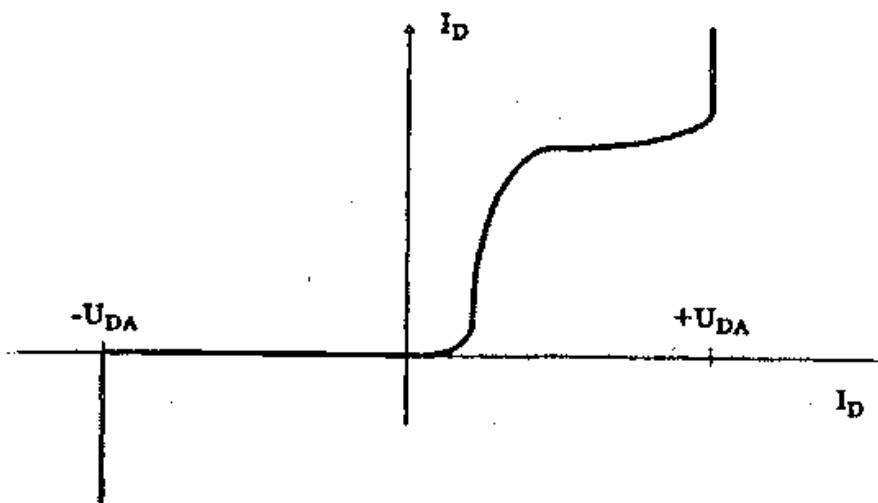


Рис.8.3. ВАХ диода для режима больших токов и напряжений.

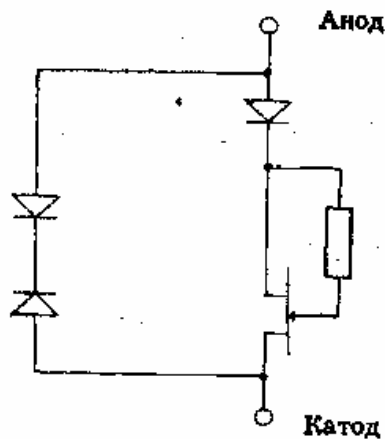


Рис.8.4. Модель диода для режима больших токов и напряжений.

В системах моделирования электрических характеристик такой модели нет, поэтому используем составную модель (рис.8.4), которая хорошо описывает ВАХ диода. Напряжение пробоя диода задается параметром U_{DA} модели диода. Чтобы задать пробивное напряжение, необходимо экспериментально исследовать аналогичные диодные структуры. Как правило, напряжения пробоя диодов имеют значительный разброс. Выбирается минимальное значение пробивного напряжения, поскольку расчет производится для наихудшего случая.

Момент замыкания конденсатора на вывод ИМС является критическим, так как в этот момент через элементы схемы протекают наибольшие токи.

При моделировании нет необходимости исследовать весь процесс разряда конденсатора через элементы схемы, достаточно рассчитать только начальное состояние.

Постоянная времени перезаряда реактивных элементов во входных и выходных цепях ИМС во много раз меньше (менее 1нс), чем время разряда конденсатора (более 150нс). Начальный ток разряда можно рассчитать и в статическом режиме.

В схеме для моделирования процесса разряда конденсатор заменяется источником напряжения, а внутренние логические блоки - резисторами.

Эквивалентная схема для моделирования режима ЭСР, показанная на рис.8.5, включает:

- ограничительный резистор величиной 1,5кОм;
- элементы защиты ИМС от электростатического разряда;
- входной или выходной каскад ИМС;
- резисторы между цепями питания, которые имитируют внутренние блоки ИМС;
- цепи питания, одна из которых заземлена.

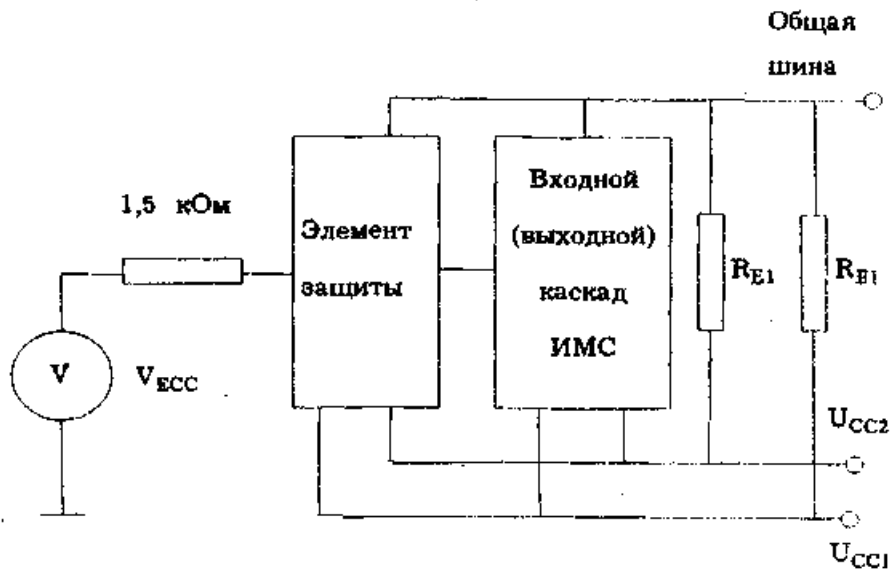


Рис.8.5. Эквивалентная схема для моделирования режима ЭРС через выводы.

Моделирование режима ЭРС осуществляется при положительном и отрицательном напряжении пробойного участка. В элементы защиты во входные (выходные) каскады включены дополнительные диоды, моделирующие пробойные участки ВАХ.

Одновременно с расчетом ЭРС необходимо выполнить и расчет быстродействия входных и выходных каскадов с учетом реактивных параметров корпуса и элементов защиты. Методика расчета быстродействия рассмотрена в лекции, посвященной помехоустойчивости ИМС.

Процедура оптимизации элементов защиты ИМС от электростатического разряда

Путем увеличения размеров диодов значение ДПЭСР (допустимого потенциала разряда) может быть увеличено очень значительно (более 2000В). Однако не во всех случаях это возможно сделать, так как вступают в силу ограничения на быстродействие ИМС или на площадь, занимаемую элементами защиты на кристалле. Очевидно, что площадь элементов защиты не должна превышать 20 - 30 тыс.мкм², что в 2 - 3 раза больше размеров контактной площадки. В противном случае большая часть кристалла ИМС будет занята элементами защиты. Для схем с низким быстродействием (до 100 МГц) ограничения на площадь элементов защиты проявляются раньше и анализ быстродействия можно не проводить.

Для высокочастотных схем (как аналоговых, так и цифровых при $F \geq 500$ МГц) первоначально действует ограничение на входную (выходную) емкость. Большие многовыводные схемы, реализованные в больших корпусах, труднее защитить от электростатического разряда, так как ограничения на быстродействие ИМС проявляются не только от выходной

емкости, но и от индуктивности выводов. Для конкретного типа корпуса можно построить зависимость максимальной рабочей частоты от размеров диодов защиты и найти прямую зависимость величины допустимой входной емкости от максимальной рабочей частоты. Пользуясь такими графиками, можно сделать оценки возможных величин ДПЭСР при заданной рабочей частоте ИМС.

Повышение величин ДПЭСР возможно по пути совершенствования технологии и схемотехники с целью уменьшения емкости элемента защиты при одновременном уменьшении его сопротивления на больших токах (около 1 А).

В любом случае следует стремиться к тому, чтобы величина ДПЭСР для всех входов и выходов была примерно одинаковой. Повышение ДПЭСР на отдельных выводах только ухудшает электрические параметры ИМС.

9. Тепловые процессы в интегральных микросхемах

Система параметров теплового режима ИМС

Тепловая мощность, рассеиваемая ИМС. Тепловая мощность равна электрической мощности с учетом мощности, передаваемой в нагрузку. Если вытекающий ток считать со знаком плюс, а вытекающий - со знаком минус, то

$$P_T = I_{CC}V_{CC} + nI_{ol}U_{ol} - mI_{oh}U_{oh} \quad (9.1),$$

где U_{ol} и U_{oh} - выходные напряжения низкого и высокого уровней; n и m - число выходов, находящихся в состояниях высокого и низкого уровней.

Максимально допустимая рабочая температура. Рабочая температура микросхемы ограничивается как следствие изменения электрических параметров или как фактор снижения надежности изделия. Все эти процессы связаны с полупроводниковым кристаллом. Однако в процессе эксплуатации невозможно контролировать температуру кристаллов, поэтому температура кристаллов должна быть обеспечена конструкцией ИМС, при этом контролируемым параметром является температура корпуса или окружающей атмосферы. Рабочую температуру кристаллов ограничивают величинами 110 - 190°C. Наиболее часто принимается величина 150°C. Температуры корпуса и атмосферы должны быть соответственно ниже.

Предельно допустимые температуры окружающей среды и корпуса ИМС выбираются из регламентированного ряда: 70, 85, 100, 125, 155°C, установленного стандартами. Температуру атмосферы контролировать проще, но при этом надо обязательно четко определить условия охлаждения ИМС. Параметром, характеризующим микросхему, служит предельно-допустимая температура корпуса.

Тепловое сопротивление R_T . Единицей измерения R_T является [град/Вт] или [К/Вт] и определяется как отношение разности температур к выделяемой тепловой мощности.

Тепловое сопротивление полупроводниковый кристалл-корпус R_{cp} характеризует конструкцию ИМС (внутреннее тепловое сопротивление), тепловое сопротивление корпус-среда R_{pm} - условия охлаждения ИМС (внешнее тепловое сопротивление). Полное тепловое сопротивление R_{tt} является интегральной характеристикой условий охлаждения ИМС ($R_{tt} = R_{cp} + R_{pm}$).

Переходное тепловое сопротивление R_{T1} и тепловая постоянная времени τ_T определяют процессы разогрева и охлаждения ИМС при включении и выключении электрической мощности. Постоянная времени определяется теплоемкостью ИМС C_T [Дж/К] и полным тепловым сопротивлением R_{tt} ,

$$\tau_T = C_T R_{tt};$$

$$R_T(t) = R_{T1}(1 - \exp(-t/\tau_T)) - \text{включение};$$

$$R_T(t) = R_{T1} \exp(-t/\tau_T) \quad - \text{выключение}; \quad (9.2)$$

Коэффициент теплопроводности материалов G [Вт/м·К] или [Вт/см·К].
Значения коэффициентов теплопроводности некоторых материалов, используемых в ИМС, следующие:

- кремний - 1,2 Вт/см·К, арсенид галлия - 0,47 Вт/см·К;
- пластмасса корпусов – 0,009;
- ковар (материал выводов) - 0,18;
- керамика - от 0,132 до 0,167;
- стеклотекстолит печатных плат - 0,0037;
- эвтектический сплав кремний-золото - 1,5.

Тепловое сопротивление стержня с любой формой сечения

$$R_T = l/(GA) \quad (9.3),$$

где l - длина стержня; A - площадь его сечения; G - коэффициент теплопроводности материала.

Коэффициент теплоотдачи α . Если теплопроводящая структура неоднородная и состоит из нескольких слоев, то на границах этих слоев возникают перепады температур, а градиент температуры стремится к бесконечности. Для описания процесса теплопереноса через границы используется коэффициент теплоотдачи α [Вт/м²·К] или [Вт/см²·К]. Тепловое сопротивление границы площадью A равно

$$R_T = 1/(\alpha A) \quad (9.4)$$

Контакты между телами могут иметь тонкие прослойки, размерами которых можно пренебречь по сравнению с размерами контактирующих тел, например, слой клея между кристаллом и основанием корпуса, слой пасты между основанием корпуса и теплоотводом. В этом случае коэффициент теплоотдачи α характеризует теплоперенос между телами уже с учетом теплового сопротивления прослоек.

Типовые значения величины α в единицах [Вт/см²·К];

- конвекция в воздухе - 0,001 - 0,004;
- обдув поверхности потоком воздуха - 0,004 - 0,01;
- естественная конвекция в воде - 0,03 - 0,06;
- теплоотдача кремниевого кристалла через пленку клея - 0,4 - 0,7;
- теплоотдача кремниевого кристалла через пленку пасты КПТ - 8 на медном теплоотводе - 2,2;
- теплоотдача между металлическими поверхностями при их соединении болтами - 0,45.

Контроль тепловых режимов

Температурой кристалла считается температура самой горячей точки на поверхности кристалла. Температура корпуса контролируется в центре основания корпуса на площадке примерно равной проекции кристалла на основание. Если микросхема установлена на теплоотводе, то температуру

корпуса можно контролировать по температуре теплоотвода, так как T_p и T_T мало различаются ввиду хорошего теплового контакта теплоотвода с корпусом. Предполагается, что теплоотвод имеет контакт с основанием корпуса. Теплопроводность конструктивных материалов уменьшается с ростом температуры, поэтому максимальное тепловое сопротивление будет при максимальной температуре. Однако увеличением теплового сопротивления керамического корпуса $\approx 0,1\%$ на 1 К можно пренебречь. В расчетах и измерениях предполагается, что R_T от температуры не зависит, однако измерения R_T должны проводиться при максимальной температуре корпуса или близкой к ней.

Температура корпуса и теплоотвода измеряются термопарой. Температура кристалла может измеряться микропирометром. Инфракрасный микропирометр дает пространственное разрешение до 10 мкм при измерении температуры поверхности. Измерения микропирометром возможны лишь для корпусов со снятой крышкой. Если в корпусе нет крышки, то температура кристалла измеряется только в одной точке по термозависимому элементу.

При измерении теплового сопротивления микропирометром микросхема устанавливается на теплоотвод и подключается к источникам питания. Затем проводятся измерения температур теплоотвода и кристалла при разных уровнях рассеиваемой мощности.

Тепловое сопротивление вычисляется по формуле

$$R_T = (T_C - T_p) / P \text{ или } R_T = (\Delta T_{cp2} - \Delta T_{cp1}) / (P_2 - P_1) \quad (9.5).$$

Результаты нескольких измерений усредняются.

Наибольшие трудности вызывают измерения температуры кристалла. При отсутствии микропирометра температуру кристалла можно контролировать термопарой или по измерениям термочувствительного элемента на кристалле ИМС. В этих случаях при разных уровнях рассеиваемой мощности температуру теплоотвода меняют таким образом, чтобы температура кристалла была постоянной. При использовании метода постоянной температуры кристалла исключается влияние теплоотвода через термопару или нестабильность термочувствительной характеристики контрольного элемента. К сожалению, методы с термопарой и термочувствительным элементом не позволяют выявить самую горячую точку на кристалле ИМС. В качестве термочувствительного элемента часто используется какой-нибудь p - n переход выходного транзистора.

Условия охлаждения ИМС и их влияние на тепловые параметры

Зависимость внутреннего теплового сопротивления R_{cp} от температуры.

Тепловое сопротивление R_{cp} с ростом температуры также возрастает. Это связано с уменьшением коэффициентов теплопроводности G конструктивных материалов. Для кремния $G \approx 360/T$ [Вт/см·К] для арсенида галлия $G \approx 145/T$ [Вт/см·К].

Такая форма зависимости соответствует относительному увеличению теплового сопротивления 0,3% на градус Кельвина. Теплопроводность керамики слабее зависит от температуры и изменяется на 0,1% на градус Кельвина. Так как внутреннее тепловое сопротивление определяется сопротивлением корпуса, то и температурная зависимость R_T определяется материалом корпуса. Значение R_T меняется не более чем на 10% при изменении температуры на 100 К. Разброс величины R_T для образцов одной партии также характеризуется величиной около 10%.

Зависимость внутреннего теплового сопротивления от интенсивности охлаждения. Принято считать, что внутреннее тепловое сопротивление R_{cp} является параметром конструкции ИМС и не зависит от интенсивности охлаждения. Однако это справедливо лишь в случае изотермичности поверхности корпуса. Последнее условие выполняется только в тех случаях, когда коэффициент теплоотдачи очень велик ($\alpha > 1 [В/см^2 \cdot К]$). При меньших значениях α внутреннее тепловое сопротивление возрастает с уменьшением α . Физически это объясняется тем, что при уменьшении интенсивности охлаждения тепловой поток, идущий от кристалла к поверхности корпуса, начинает все больше растекаться в стороны (рис.9.1). В результате возрастает эффективная длина теплового потока L_{eff} , причем таким образом, что отношение L_{eff}/A_{eff} увеличивается.

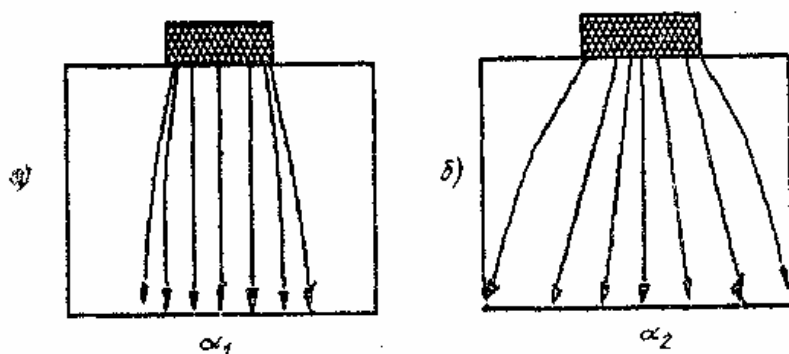


Рис.9.1. Тепловые потоки в основании корпуса при разных значениях $\alpha: \alpha_1 > \alpha_2$.

Конструктивным параметром считается минимальное значение R_{cp} , измеренное в условиях интенсивного охлаждения (например, с теплоотводом).

Зависимость внутреннего теплового сопротивления R_{cp} от площади кристалла A_c для корпусов с однородным основанием и при отводе тепла в теплоотвод удовлетворительно аппроксимируется формулой

$$R_{cp} = L_z / G * (A_c^{1/2} + L_{1z})^2 \quad (9.6),$$

где L_{1z} и G толщина основания корпуса и коэффициент теплопроводности материала основания.

Если известна хотя бы одна экспериментальная точка на зависимости теплового сопротивления от площади кристалла, то относительные изменения R_{cp} могут быть определены с очень хорошей точностью.

Зависимость полного теплового сопротивления от интенсивности охлаждения. Практически наиболее часто встречается случай воздушного охлаждения ИМС, когда коэффициенты теплоотдачи невелики. Микросхемы обычно помещены на плате, и характер конвективного потока определяется в основном платой, а не отдельными участками поверхности корпуса. В этом случае коэффициенты теплоотдачи разных частей корпуса различаются мало и их можно усреднить.

Полное тепловое сопротивление определяется как

$$R_{\text{и}} = R_{cp}(\alpha) + 1/(\alpha A_{\text{eff}}) \quad (9.7),$$

где A_{eff} - эффективная площадь теплоотдачи.

Под A_{eff} понимается площадь наиболее нагретого участка поверхности, рассеивающего значительную долю тепла. Если A - вся площадь поверхности, рассеивающей тепло, то $K_{\text{eff}} = A_{\text{eff}}/A$ - коэффициент эффективности, показывавший, во сколько раз рассеиваемая поверхностью A мощность меньше максимально возможного значения соответствующей изотермической поверхности.

При уменьшении α эффективное значение площади A_{eff} сначала возрастает, а достигнув значения A , перестает зависеть от α . Физически это означает, что с уменьшением α ранее холодные периферийные участки поверхности тела, прогревшись, начинают рассеивать тепло.

Характер указанной зависимости A_{eff} от α приводит к тому, что при уменьшении α внешнее тепловое сопротивление $R_{pm} = 1/(\alpha A_{pm})$ сначала возрастает незначительно. Лишь после того, как A_{pm} перестает меняться, зависимость R_{pm} от α становится обратно пропорциональной α . Степень зависимости A_{eff} от α связана соотношением размеров платы и размещенных на ней микросхем. Если размеры платы в 10 и более раз превышают площадь размещенных микросхем, то R_{pm} практически перестает зависеть от α .

Соотношение между R_{pm} и α также слабо выражено при больших значениях α , когда A_{eff} равна площади микросхем.

Сам же коэффициент теплоотдачи α зависит от атмосферного давления, температуры и скорости обдува платы воздухом. Однако α не поддается прямому измерению, поэтому на практике предпочитают связывать внешнее тепловое сопротивление непосредственно с параметрами охлаждающей атмосферы: давлением, температурой, скоростью воздуха. При воздушном охлаждении коэффициент теплоотдачи имеет две составляющие: конвективную и излучательную. Конвективная составляющая α_k пропорциональна атмосферному давлению и составляет от 0,5 до 0,666 значения α при нормальных условиях. При переходе к вакууму α_k стремится к нулю, а значение α уменьшается в 2-3 раза, что подтверждено экспериментами. Однако если размер платы велик, а микросхемы имеют хороший тепловой контакт с платой, то, несмотря на уменьшение α , тепловое сопротивление R_{pm} увеличивается всего на 15-30 % за счет увеличения A_{eff} .

Характер зависимости внешнего теплового сопротивления от атмосферного давления определяется теплопроводностью материала монтажной платы и тепловым контактом микросхем с платой.

При использовании принудительного охлаждения тепловое сопротивление сначала быстро падает с ростом скорости обдува v . Затем при скорости 1,5-2 м/с спад R_{pm} замедляется. Дальнейшее увеличение скорости обдува сопровождается незначительным уменьшением теплового сопротивления и практически нецелесообразно.

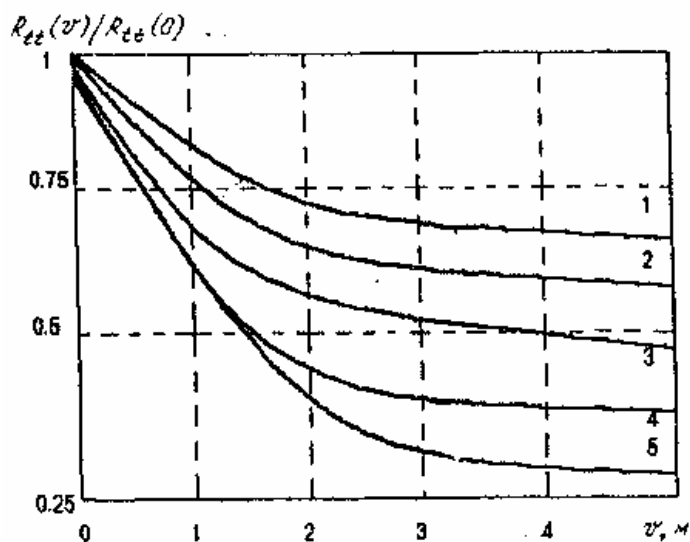


Рис.9.2. Зависимости полного теплового сопротивления от скорости обдува: пластмассовый корпус типа 201.14-1 (DIP) (кривая 1); пластмассовый корпус типа 2 с теплорастекателем (кривая 2); керамические корпуса типа 2 с числом выводов меньше 20 (кривая 3); керамический корпус типа 402.16-2 (кривая 4); керамический корпус типа 421.48-3 (кривая 5)

Сравнение графиков на рис.9.2 показывает, что эффективность охлаждения с обдувом повышается с увеличением числа выводов корпуса (которые работают как ребра радиатора) и с увеличением теплопроводности материала корпуса (при равномерно разогретом корпусе $A_{eff} = A$).

Конвективная составляющая коэффициента теплоотдачи слабо зависит от температуры, а излучательная составляющая возрастает с ростом температуры. При увеличении температуры на 10 град внешнее тепловое сопротивление уменьшается приблизительно на 3%.

Для расчетов теплового сопротивления используются как компьютерные программы, так и аналитические методы. Приблизительную оценку внутреннего теплового сопротивления можно получить, пользуясь формулой 9.8.

$$R_{sc} = \frac{1}{\alpha * A_c} + \frac{L_z}{G * (A_c^{1/2} + L_z)^2} \quad (9.8),$$

где α – коэффициент теплоотдачи кристалла через пленку клея,

A_C – площадь кристалла, G – коэффициент теплопроводности основания корпуса, L_Z - толщина основания корпуса, $(A_C^{1/2}+L_Z)$ – средняя площадь сечения теплового потока. Тепловым сопротивлением кремниевого кристалла и теплоотвода мы пренебрегаем.

10. Обеспечение надежности систем на кристалле

Основные причины отказов

а) Коррозия металлизации.

Металлические проводники на кристалле защищены слоем пассивирующего диэлектрика (нитрида кремния или окисла кремния). Оголенными остаются площадки для сварки соединительных проводников. На этих площадках и происходит коррозия. Лучшей защитой от коррозии считается применение системы металлизации на основе золота и сварка площадок золотой проволокой. В подавляющем большинстве кремниевых микросхем используются системы металлизации на основе алюминия и сварка алюминиевой проволокой. Коррозия многократно усиливается при повышенных температурах, под воздействием паров воды и химических реагентов, используемых на сборочных операциях.

б) Электромиграция в проводниках металлизации.

При повышенных температурах в проводниках металлизации идет естественная диффузия атомов и вакансий, которая не имеет направленности и не меняет структуру проводника.

Для высокой плотности тока этот процесс приобретает направленность. Диффундирующие атомы движутся преимущественно в направлении потока носителей. Температурная зависимость скорости электромиграции соответствует закону Аррениуса для диффузии собственных атомов проводника. Пороговая плотность тока, опасная для алюминиевых проводников, равна $2 \cdot 10^5$ А/см², для золотых проводников - $2 \cdot 10^6$ А/см². Электромиграция вызывает обрывы проводников в местах локальных дефектов, на краях контактных окон, на ступенях рельефа диэлектрика, по краям сварочного контакта на площадках питания.

в) Дислокации в напряженных кристаллах.

В процессе эксплуатации микросхем в монокристалле подложки могут развиваться дислокации. Если дислокации пересекают *p-n*-переходы, то это приводит к резкому возрастанию утечек этих переходов. Причиной роста дислокаций являются термомеханические напряжения в кристалле. Конструктивные элементы микросхемы – кремниевая подложка, основание корпуса и покрывающий кристалл диэлектрик имеют разные коэффициенты термического расширения. При термоциклах, возникающих во время работы устройства, кристалл то сжимается, то растягивается, что и создает напряжения в кристалле.

г) Диффузия загрязняющих примесей в диэлектрике.

Граница раздела кремний-окисел под затвором МОП-транзистора очень чувствительна к примесям в диэлектрике. Изменение распределения ионов в диэлектрике приводит к значительному изменению порогового напряжения МОП-транзистора. Особую неприятность доставляют атомы натрия. Примесь натрия входит в алюминий металлизации и конструктивные материалы корпуса. Натрий имеет аномально высокий коэффициент диффузии в окисле кремния. Подвижный заряд ионов натрия – это основная причина, по которой технологи отказались от металлических затворов, и перешли на поликремний. Сильно легированные изолирующие области, разделяющие транзисторы, не очень чувствительны к ионам в диэлектрике.

д) Скрытые дефекты структуры.

Не все локальные дефекты выводят микросхему из строя. Часть их не выявляется при контроле изделий и остается в работающих устройствах, создавая предпосылки для последующих отказов. Чаще других приводят к отказам дефекты в виде сужения проводников и отверстий в диэлектриках.

е) Электростатические разряды через выводы микросхемы.

Выводы обычно защищены элементами защиты. Однако нет элементов, защищающих от любых разрядов. Электростатический разряд может и не вывести изделие из строя, но привести к деградации параметров элементов. Элементы, подвергавшиеся действию разрядов, имеют пониженную надежность, и могут отказать в процессе эксплуатации.

Обеспечение надежности при проектировании электрических схем

При проектировании микросхемы выполняется расчет-прогноз надежности, основанный на результатах испытаний реальных приборов и тестовых структур, а также моделирования физических процессов в элементах конструкции.

Для повышения надежности изделия его разработка должна вестись с “запасом”. Изделие должно сохранять работоспособность не только в диапазоне предельно-допустимых режимов эксплуатации, но и в некоторой области за пределами этого диапазона. Чем больше запасы, тем больше период до начала старения изделия.

Обычно, снижение потребляемой мощности положительно влияет на показатели надежности. Для снижения потребляемой мощности в схеме используются несколько источников питания различных номиналов. Типовое решение – это два номинала питания для периферии и ядра схемы. Надежность зависит и от эффективности используемых элементов защиты от перегрузок и электростатических разрядов.

В схемах памяти, имеющих регулярную структуру, часто используются методы “горячего” резервирования, когда дефекты исправляются автоматически в процессе работы. В нерегулярных логических устройствах резервирование обычно осуществляется уже на плате в аппаратуре.

Конструктивно – технологические методы повышения надежности

а) Защита от коррозии.

Системы металлизации на основе золота не нуждаются в специальных мерах по защите от коррозии. Для металлизации на основе алюминия или меди лучшим методом защиты считается использование герметичных корпусов с заполнением внутренних полостей инертным газом, например, аргоном. Герметичными являются металлокерамические, металлостеклянные и стеклокерамические корпуса. Для таких корпусов важнейшей операцией является процесс герметизации, при котором во внутренние полости не должны попадать пары флюса или продукты разложения сварочного стекла. Флюсы предназначены для очистки свариваемых корпусов, т.е. для травления металлов. При попадании флюсов во внутрь корпуса, коррозия металлизации быстро приведет к отказу микросхемы.

Пластмассовые корпуса не считаются герметичными. Пары воды легко проникают через поры в пластмассе. Для дополнительной защиты кристаллов после приклеивания их к основанию корпуса и разварки выводов они покрываются эпоксидным герметизирующим лаком. Платы с пластмассовыми корпусами также рекомендуется покрывать защитным лаком. Применение микросхем в пластмассовых корпусах ограничивается аппаратурой, работающей в помещениях или имеющей свои герметичные корпуса.

б) Защита от электромиграции.

Основной метод защиты – это правильный выбор и детальный расчет системы металлизации. Для металлизации на основе золота легче реализовать требование по ограничению плотности тока, т.к. допустимая плотность на порядок больше. При разработке топологии и конструкции микросхем используются следующие методы:

- Многослойная структура проводников и использование сплавов позволяет увеличить вдвое предельно-допустимую плотность тока.
- Использование двух или более сварных соединений для подключения к выводу корпуса одной площадки питания на кристалле уменьшает плотность тока в сварном контакте.
- Многократное дублирование переходных окон между уровнями металлизации в шинах питания равномерно распределяет ток в переходе.

- Планаризация поверхности изолирующего диэлектрика перед нанесением слоя металлизации исключает появление тонких участков на рельефе.
- Использование специальной формы шин питания с продольными разрезами на поворотах уменьшает плотность тока в шине с внутренней стороны поворота.

в) Снижение термомеханических напряжений в кристаллах.

Величина термомеханических напряжений зависит от размеров кристалла и толщины покрывающего его диэлектрика. Чем больше кристалл и толще диэлектрик, тем больше напряжение. Основной путь снижения напряжений в конструкции микросхемы – это введение эластичных прослоек между твердыми слоями с разными коэффициентами термического расширения. Монтаж кристалла на основание корпуса осуществляется с использованием эпоксидного клея с серебряным наполнителем. Наполнитель обеспечивает низкое тепловое сопротивление. Возможен перевернутый поверхностный монтаж кристалла на носитель. В этом случае кристалл касается основания только в точках сварки. Теплоотвод выполняется с обратной стороны кристалла, к которой прижимается теплорастекатель через слой специальной пасты на основе мелкодисперсного серебра.

Снижение напряжений в покрывающем кристалл диэлектрике возможно только при снижении толщины первого слоя. Обычно, толщина первого слоя термически выращенного окисла кремния не превышает 0,5 мкм. Последующие слои диэлектриков наносятся после слоев металлизации. Эластичные элементы металлизации напряжений не создают. Если вся площадь кристалла, оставшаяся свободной после проведения проводников, заполняется мелкими фиктивными элементами, то последующие слои диэлектриков соприкасаются между собой только в узких зазорах между элементами металлизации. Такая конструкция системы металлизации удобна для планаризации диэлектриков и не вносит существенных напряжений в структуру микросхемы даже при суммарной толщине всех проводников и диэлектриков более 10 мкм.

г) Борьба с загрязняющими примесями.

Известно только 2 способа уменьшения загрязнений в микросхемах – это чистота всех процессов и используемых материалов, а также введение в структуру геттерирующих слоев. Для геттерирования атомов натрия часто используется легирование изолирующих диэлектриков бором или другими элементами.

д) Снижение уровня скрытых дефектов.

Основной путь снижения числа скрытых дефектов состоит в повышении процента выхода годных микросхем. Согласно первой гипотезе

статистической теории надежности, число скрытых дефектов в годных изделиях пропорционально числу выявленных при контроле. Поэтому, процент выхода годных микросхем используется, как показатель их потенциальной надежности. Плотность поражающих дефектов для конкретного производственного участка, как правило, известна и контролируется. Усилия технологов направлены на снижение этой величины. А разработчики при выборе технологии не должны использовать производство, не обеспечивающее требуемый процент выхода годных.

Обеспечение надежности на этапе производства

На этапе производства микросхем их конструкция и базовая технология уже не меняются. Для повышения надежности и процента выхода годных изделий используются только организационно – технические мероприятия, к которым относятся:

- электровакуумная гигиена;
- автоматизация процессов;
- составление маршрута обработки пластин с уменьшением времени их хранения между операциями;
- статический контроль качества, при котором бракуются все партии изделий, имеющие процент выхода годных ниже расчетного;
- заземление аппаратуры и работников;
- ионизация воздуха в производственных помещениях;
- электротермотренировка изделий в процессе контроля;
- анализ отказов на испытаниях и рекламаций.

Обеспечение надежности микросхем в аппаратуре

Основой надежной эксплуатации микросхем служит качество проектирования и производства аппаратуры, в которой они используются. При этом важным элементом обеспечения надежности являются:

- использование специальной тары и инструментов;
- совместимость комплектующих изделий;
- соблюдение всех правил применения микросхем, включая и режимы монтажа на платы;
- обеспечение теплоотвода от микросхем;
- соблюдение режимов эксплуатации аппаратуры.

11. Основы теории выхода годных

Связь коэффициента выхода годных и съема кристаллов с пластины

Каждый производственный участок со стабильным выпуском ИЭТ характеризуется рядом интегральных показателей, позволяющих прогнозировать выход годных и сьем кристаллов с пластины для изделий еще не освоенных в производстве. Отметим, что выход годных и сьем с пластины по-разному зависят от размеров конструктивных элементов. С уменьшением размеров элементов увеличивается число кристаллов на пластине, однако, возрастает разброс параметров и чувствительность элементов к дефектам. Выход годных имеет максимум при определенном значении минимального конструктивного размера, а сьем кристаллов с пластины при другом значении. Причем, максимальный сьем кристаллов наблюдается при меньших конструктивных размерах. В области максимума выхода годных его значение стабилизируется, а размер кристалла монотонно уменьшается с уменьшением размеров элементов. Максимум съема кристаллов будет при таких размерах, когда падение выхода годных превысит рост числа кристаллов на пластине. Если бы стоимость продукции определялась только стоимостью годных кристаллов, то производство ориентировалось бы на сьем с пластины, а не на выход годных. Однако требования надежности диктуют необходимость контролировать именно коэффициент выхода годных. Производственные участки, настроенные на максимальный выход годных, имеют запас по уменьшению размеров элементов. В ряде случаев этот запас используется при освоении новых перспективных видов продукции, а полная отладка процесса выполняется позднее. Это особенно характерно для российского производства. При выполнении разработок по Госзаказу предприятия стремятся продемонстрировать предельные возможности технологического оборудования, не очень заботясь об экономических и надежности показателях изделий.

Производственная статистика выхода годных изделий

Потери годных кристаллов при обработке пластин обусловлены тремя основными причинами:

- «черный» брак – это разбитые пластины, аварийные ситуации с оборудованием, ошибки персонала и т.д.;
- параметрический брак – годные кристаллы есть не на всей площади пластины;
- брак от дефектов – часть кристаллов поражена локальными дефектами.
- Соответственно, коэффициент выхода годных представляется в виде произведения частных коэффициентов по видам брака.

$$y = y_0 * y_1 * y_2 \quad (10.1)$$

y_0 – коэффициент выхода годных для «черного» брака обычно достаточно высок (98-99%) и определяется уровнем организации производства. «Черный» брак не влияет на надежность изделий и обычно в окончательной статистике не учитывается.

y_1 – коэффициент выхода годных для параметрического брака определяется однородностью параметров структуры, т.е. однородностью технологических процессов.

Большинство технологических процессов проводится на оборудовании с центральной симметрией процесса. Это диффузионные трубы, центрифуги, круглые объективы оптических установок и др. Кристаллы для изготовления полупроводниковых пластин также выращиваются на оборудовании с центральной симметрией. Все технологические процессы настраиваются и контролируются в области на половине радиуса пластины. Поэтому, требуемые параметры структуры лучше всего получаются на середине радиуса пластины. Годные кристаллы концентрируются в области кольца на середине радиуса. В центре пластины и на ее краях плотность годных кристаллов уменьшается. Если используются пластины с эпитаксиальным слоем, то кольцо годных кристаллов деформируется или превращается в полумесяц. Обычно, эпитаксиальные слои имеют линейный градиент параметров. Линейный градиент определяется направлением потока газа в эпитаксиальном реакторе.

Коэффициент y_1 – определяет усредненную долю в площади пластины, на которой параметры структуры обеспечивают выход годных изделий в соответствии с требованиями технических условий. При расчете этой доли не учитывается краевая зона пластины, в которой нет целых кристаллов. Очевидно, что кристалл, рассеченный краем пластины, не может быть годным. Поэтому, эффективная рабочая площадь пластины зависит от размера кристаллов микросхем.

Технологический разброс параметров физической структуры задается и контролируется на всей рабочей площади пластины. Значения параметров задаются величинами математического ожидания и среднеквадратичного отклонения. Распределение значений параметров обычно гауссовское. Конкретные величины параметров разработчикам обычно известны. Правильный расчет схемы предполагает, что изделие будет сохранять работоспособность и параметры в пределах норм Технических условий при любом отклонении значений параметров структуры в пределах трех среднеквадратичных отклонений от математического ожидания. Для цифровых схем выполнить это условие не очень сложно. На пластинах с цифровыми микросхемами кольцо годных кристаллов может не проявиться. В аналоговых и цифро-аналоговых микросхемах параметры структуры являются определяющими для параметров изделия. Сознательно или не

сознательно разработчики часто проектируют схемы для условий уменьшенного разброса параметров с целью улучшения электрических характеристик изделий. В этом случае, при контроле микросхем на пластинах происходит отбор кристаллов в тех зонах пластины, в которых параметры структуры укладываются в искусственно заданные границы. Именно в этом случае проявляется кольцевая концентрация годных кристаллов, а выход годных уменьшается.

Коэффициент y_2 - зависит от плотности поражающих локальных дефектов. Локальные дефекты – это дислокации в подложке, поры в диэлектрике, пылинки в слое фоторезиста и др. Плотность дефектов зависит от качества материалов, оборудования и чистоты рабочих сред. Поражающие свойства дефектов определяются минимальными размерами элементов на кристалле. Очевидно, что при заданных проектных нормах выход годных уменьшается с увеличением размеров кристаллов.

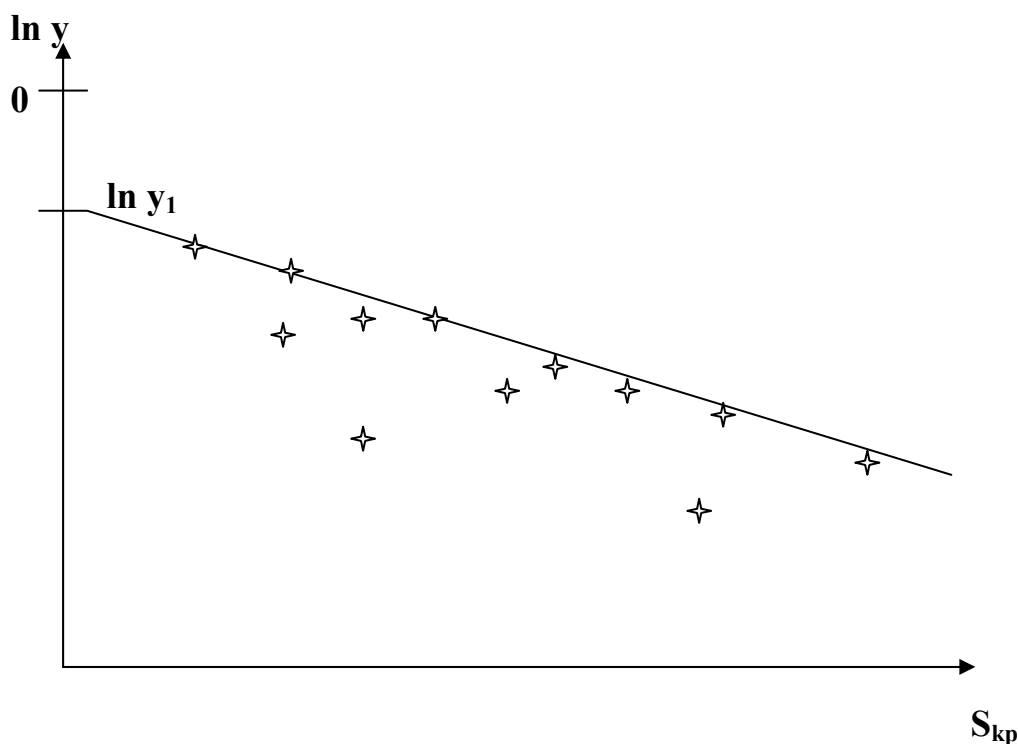


Рис. 11.1. Статистическая зависимость выхода годных кристаллов от площади микросхем для производственного участка обработки пластин.

На рис 11.1 приведена типовая зависимость выхода годных кристаллов для участка обработки пластин. Зависимость не учитывает «черный» брак. Зависимость выхода годных от площади кристалла описывается распределением Пуассона

$$y_2 = \text{EXP} (-D * S_{кр}) \quad (10.2)$$

где D – плотность поражающих дефектов,
 S - площадь кристалла.

Распределение Пуассона справедливо для условия поражения кристалла одним дефектом, т.е. для выхода годных более 50%. Для практических случаев используется именно это распределение. В лабораторном производстве наблюдается выход годных значительно ниже 50%. В этом случае проявляется группировка дефектов в кластеры. Выход годных кристаллов при условии группировки дефектов описывается отрицательным биномиальным распределением. Выход годных по этому распределению больше, чем по распределению Пуассона. В формуле этого распределения используются два технологических параметра – это плотность дефектов и коэффициент их группировки.

Рассмотрим подробнее график на рис. 11.1. Формула Пуассона в полулогарифмическом масштабе дает прямую линию с наклоном $(-D)$, где D – плотность дефектов для данного производственного участка. Выше этой прямой нет значений выхода годных. Усредненные величины выхода годных для цифровых микросхем обычно лежат на линии распределения или немного ниже. Если выход годных в несколько раз ниже расчетного, то это означает, что в проекте есть ошибки, или нормы на параметры изделий установлены слишком жестко и не соответствуют реальному технологическому разбросу. Чаще всего это случается с аналоговыми или аналого-цифровыми схемами.

Выход годных и «закон Мура»

«Закон Мура» был сформулирован на основе эмпирических данных. Позднее было установлено, что в обычном технологическом процессе плотность поражающих дефектов увеличивается обратно пропорционально квадрату минимального размера элементов.

$$D \sim 1/x_{\min}^2$$

Естественно, формула справедлива для технологического маршрута, обеспечивающего реализацию этих минимальных размеров. Площадь кристалла, чувствительная к поражающим дефектам, пропорциональна квадрату минимального размера.

$$S \sim x_{\min}^2$$

Таким образом, выход годных кристаллов по формуле Пуассона не зависит от минимального размера

$$D * S = \text{const}$$

С уменьшением размеров элементов увеличивается съём кристаллов с пластины, значит, они становятся дешевле.

Выход годных и надежность

Отказы микросхем бывают катастрофические, параметрические и перемежающиеся. Катастрофические отказы происходят при развитии скрытых локальных дефектов. Снижение плотности скрытых дефектов достигается уменьшением коэффициента $У_2$. Параметрические и перемежающиеся отказы являются следствием изменения параметров элементов микросхемы. В общем случае, уменьшение разброса параметров структуры и увеличение коэффициента $У_1$ повышает надежность. Однако в каждом конкретном случае параметрическая надежность определяется величиной конструктивно-технологических запасов. Это означает, что при изменении параметров конструктивных элементов в процессе эксплуатации параметры микросхемы останутся в пределах норм ТУ. Здесь используются два пути – это установление норм ТУ с запасом и контроль параметров изделий по более жестким нормам. При этом деградация параметров микросхем до их граничных значений будет происходить значительно дольше. Ослабление норм ТУ снижает потребительские качества изделий. Установление жестких норм на параметры микросхем понижает выход годных и повышает их стоимость. В ряде случаев используется отбор микросхем для применений, требующих повышенной надежности. Контролируемые микросхемы разделяются на две группы по уровню жесткости контроля параметров. Микросхемы, прошедшие контроль параметров по жестким нормам, затем подвергаются какому-либо стрессовому воздействию (например, перегрузке по питанию при максимальной температуре) и электротермотренировке с удвоенным сроком (две недели). После повторного контроля электрических параметров эти микросхемы попадут в дорогую группу А с повышенной надежностью. Оставшиеся микросхемы контролируются по обычному маршруту и образуют дешевую группу Б.

12. Организация контроля изделий электронной техники

Цель контроля

Производственный контроль ИЭТ – это комплекс технологических операций направленных на исключение выпуска негодных изделий. Контроль ведется по двум направлениям: контроль условий производства и контроль результатов производства.

Участники контроля

Контроль проводится в две или в три ступени. Первая ступень контроля выполняется сотрудниками производственных подразделений предприятия на всех партиях или всех изделиях (при групповой или индивидуальной обработке ИЭТ). Вторая ступень выполняется сотрудниками службы контроля качества. Третья ступень – выборочный контроль службы Представителя заказчика. ПЗ контролирует только производство продукции по Госзаказу.

Организация контроля

Контроль условий производства ведется в цехах основного производства, как работниками этих цехов, так и сотрудниками Центральной заводской лаборатории. Результаты контроля отражаются в специальных журналах на каждом производственном участке и вводятся в автоматизированную систему управления качеством (АСУК). К этому направлению относятся: контроль используемых материалов, контроль сред в производственных помещениях, контроль электровакуумной гигиены, проверка условий эксплуатации оборудования. Электровакуумная гигиена – это комплекс мероприятий, направленных на сохранение чистоты производственных помещений и рабочих сред. Например, запрет курения и косметики, двойное переодевание, ограничение доступа в рабочие зоны, соблюдение графика профилактики, контроль температуры, влажности и запыленности воздуха, ионизация воздуха и др.

Контроль результатов производства также ведется работниками цехов основного производства и сотрудниками Отдела технического контроля. Посты ОТК должны быть во всех цехах. Результаты контроля заносятся в сопроводительные листы к каждой партии изделий, а также вводятся в АСУК. Контроль результатов обработки пластин может осуществляться как на рабочих пластинах в тестовых модулях, так и на спутниках. Спутники – это пластины, предназначенные только для контроля процессов. Объем спутников может достигать 20-25% от объема партии. В последние годы контроль на рабочих пластинах практически исключен, чтобы не вносить загрязнений на этих операциях. Методики измерений, нормы на

контролируемые параметры, последовательность операций отражены в технологических картах и технологическом маршруте, входящих в комплект конструкторской документации.

После завершения обработки пластин контроль параметров проводится на каждом кристалле и в каждом корпусе ИЭТ.

Этапы контроля

1. Входной контроль материалов и комплектующих изделий осуществляется отделом комплектации и ЦЗЛ.
2. Контроль электровакуумной гигиены и условий производства осуществляется цехом обработки пластин и ЦЗЛ.
3. Операционный контроль процессов осуществляется цехом обработки пластин и ОТК.
4. Контроль физической структуры проводится на всех обработанных пластинах в тестовых модулях. Выполняют контроль цех обработки пластин и ОТК.
5. Контроль статических параметров и функционирования ИЭТ на пластинах. Статистический контроль качества. Бракуются все пластины, имеющие низкий процент выхода годных. Выполняют контроль цех обработки пластин и ОТК.
6. Контроль сборочных операций проводится по внешнему виду, прочности выводов, стойкости к термоциклам. Выполняют контроль сборочный цех и ОТК.
7. Контроль ИЭТ в корпусах – это основной этап контроля электрических параметров.

7.1. Контроль функционирования позволяет выявить катастрофические отказы.

7.2. Контроль статических и динамических параметров выявляет параметрические отказы.

7.3. Контроль помехоустойчивости – это упрощенный контроль функционирования, который проводится на максимальной рабочей частоте и при воздействии коротких импульсных сигналов.

Все виды контроля электрических параметров проводятся при нормальной, максимальной и минимальной рабочих температурах. Контроль электрических параметров – это самый дорогой и трудоемкий вид контроля. В зависимости от области применения ИЭТ объем контроля на заводе изготовителе может значительно сокращаться. В этом случае контрольные операции выполняются на аппаратуре, в которой изделия применяются. Контроль электрических параметров выполняет отдельный цех контроля и ОТК.

8. Электротермотренировка (ЭТТ) – это контроль надежности.

Обычный срок ЭТТ – 168 часов, т.е. одна неделя. В течение этой недели ИЭТ работают в предельно-допустимых электрических и тепловых

режимах в специальных камерах ЭТТ. После тренировки проводится повторный контроль электрических параметров. Партии ИЭТ, имеющие пониженный процент выхода годных после ЭТТ должны быть забракованы. Этот этап контроля также проводит цех измерений и ОТК. Партии, успешно прошедшие контроль, сдаются в ОТК для сдаточных испытаний.

9. Анализ рекламаций

Анализ рекламаций проводится Лабораторией анализа отказов, входящей в службу контроля качества. Лаборатория анализа отказов исследует не только изделия, отказавшие у потребителей, но и отказы на испытаниях и ЭТТ. Анализ рекламаций не влияет на выпуск отдельных партий ИЭТ. Анализ нужен для управления качеством производства и надежностью контроля. По результатам анализа рекламаций составляется план мероприятий по повышению качества продукции.

Документация для организации контроля

Документация для организации контроля разрабатывается в процессе проектирования ИЭТ и подготовки его производства. Основным документом – это Технические условия эксплуатации ИЭТ. В состав ТУ входят таблица предельно-допустимых и предельных режимов, а также таблица норм электрических параметров (ТНЭП). Измерения электрических параметров организуются на основе этих таблиц. В комплект конструкторской документации отдельным разделом входят методики контроля параметров ИЭТ.

Электрические параметры делятся на режимные и измеряемые. Первые сведены в таблицу предельно-допустимых и предельных режимов, а вторые в ТНЭП. Изделия должны сохранять работоспособность и значения измеряемых параметров в пределах норм ТНЭП в любой комбинации предельно-допустимых режимов. Изделия не должны выйти из строя в любой комбинации предельных режимов.

В комплект конструкторской документации отдельным разделом входят методики контроля параметров ИЭТ. Общий принцип построения методик таков, что контроль в цеховых условиях проводится по более жестким нормам, чем контроль в ОТК. Это делается для того, чтобы разброс характеристик измерительного оборудования не влиял на результат повторного контроля. Лучше забраковать годное изделие, чем пропустить брак. Как раз в ТНЭП и установлены нормы на электрические параметры, контролируемые на разных этапах.

Методики контроля допускают не проверять в цеховых условиях все возможные комбинации режимных и измеряемых параметров. Если экспериментальным и расчетным путем удастся показать наличие наиболее критичных режимов, то можно ограничиться контролем только этих режимов. Например, максимальный ток потребления обычно измеряется при повышенном напряжении питания и минимальной рабочей температуре, а

критичные параметры быстродействия при пониженном напряжении питания и максимальной рабочей температуре. Неконтролируемые параметры обеспечиваются конструкцией и технологией изделий, что должно быть подтверждено экспериментальными исследованиями. Сокращение программы контроля снижает себестоимость изделий.

Контрольные карты детально описывают все процедуры выполнения операций на конкретных рабочих местах. Контрольные карты входят в комплект технологической документации. В современных производствах в дополнение к технологическим и контрольным картам используются видеоматериалы.

Организационная структура современного производства нацелена на то, чтобы результаты его деятельности не зависели от мастерства конкретных исполнителей.

13. Организация испытаний изделий электронной техники

Цель испытаний

Испытания - это проверка годных ИЭТ на соответствие требованиям Технических условий и стандартов. Испытания проводятся не на всех изделиях, а выборочно. В процессе испытаний проверяются все параметры, записанные в Технических условиях.

Участники испытаний

Испытания проводятся сотрудниками службы качества. Обычно это сотрудники Отдела испытаний (ОИ). В испытаниях продукции по Госзаказу обязательно участвуют сотрудники Представительства заказчика. Ряд технически сложных видов испытаний могут проводиться на других специализированных предприятиях, но обязательно с участием сотрудников ОИ и ПЗ. Обычно так проводятся испытания на воздействие специальных факторов (ионизирующих излучений).

Организация испытаний

Изделия электронной техники отличаются по назначению и конструктивному исполнению. Назначение бывает производственно-техническое, специальное и особо надежное. Конструктивное исполнение классифицируется для каждого вида электронной продукции. Микросхемы и полупроводниковые приборы изготавливаются в следующих конструктивных вариантах: монолитные бескорпусные, монолитные в корпусе, гибридные в корпусе. Для каждой комбинации назначения и конструктивного исполнения разработан государственный или отраслевой стандарт, в котором установлены состав параметров и требования к параметрам ИЭТ. Стандарты этой группы называются Общие технические условия (ОТУ). Технические условия на конкретные изделия не должны противоречить требованиям ОТУ, а могут только конкретизировать разрешенные варианты и дополнять список параметров.

Процедуры испытаний организуются в соответствии с требованиями Общих технических условий.

Контролируемые параметры.

Все параметры делятся на группы:

- конструктивные;
- механические - прочностные;
- климатические;
- надежность;

- электрические;
- специальные.

К конструктивным параметрам относятся допуски на геометрические размеры элементов конструкции и способность выводов к пайке или сварке, герметичность корпусов.

Механические параметры характеризуют стойкость ИЭТ к ударам, вибрации, перегрузке на центрифуге, прочность выводов на отрыв, способность выдерживать многократные изгибы выводов.

К климатическим параметрам относятся диапазон рабочих температур, диапазон температур хранения, стойкость к термоциклам, допустимое пониженное и повышенное атмосферное давление. Для тропического исполнения дополнительно требуются стойкость к соленому туману, плесневым грибам и сероводородным испарениям.

Показатели надежности включают интенсивность отказов в допустимых режимах, ресурс работы при сохранении заданного процента годных ИЭТ (обычно 95%), стойкость к электростатическим разрядам, стойкость к электрическим перегрузкам, время хранения в складских условиях и др.

Электрические параметры изделий электронной техники могут быть очень разнообразны. Однако они объединяются всего в три группы: функциональные, статические и динамические. Функциональные параметры определяют возможности изделия по назначению. Статические параметры измеряются на конкретных выводах ИЭТ и характеризуются величинами напряжений, токов и сопротивлений на этих выводах. Динамические параметры характеризуются рабочими частотами, задержками и длительностями электрических сигналов. Статические и динамические параметры всегда определяются как совокупность режимных и измеряемых величин.

Специальные параметры характеризуют стойкость ИЭТ к электромагнитным и ионизирующим излучениям. Воздействующие факторы разделяются на три основных группы:

- импульсные факторы ядерного взрыва (электромагнитный, гамма и нейтронный импульсы);
- стационарное дозовое воздействие радиации на приборы (альфа, бета, гамма излучения или поток нейтронов ядерного реактора);
- дозовое воздействие космического излучения (протоны и электроны высоких энергий).

Категории испытаний

Всего отличают 4 категории испытаний:

- квалификационные;
- периодические;
- сдаточные;
- типовые.

Квалификационные испытания самые полные и проводятся только один раз при освоении производства ИЭТ, а также при существенной модернизации конструкции или технологии. В процессе квалификационных испытаний проверяются все параметры, записанные в Технических условиях и Общих технических условиях на данный вид продукции. В общей сложности несколько сотен измерительных процедур. Для проведения испытаний требуется от 300 до 1500 изделий.

Периодические испытания проводятся для проверки уровня производства. В первую очередь проверяется надежность ИЭТ. Для разных видов периодических испытаний установлены сроки 3, 6 и 12 месяцев. Периодические испытания назначаются при выполнении двух условий: истек срок действия предыдущих испытаний и в этот период завод осуществлял выпуск испытываемой продукции. Обычно, периодические испытания проводятся реже, чем это установлено ОТУ, т.к. часто в зачетный период завод не выпускал данный вид ИЭТ. Если номенклатура выпускаемых изделий велика, то часто делается большой однократный выпуск ИЭТ, изделия сдаются на склад, а новый выпуск не ведется до полной продажи задела. В этом случае периодические испытания проводятся на каждом большом выпуске данного типа ИЭТ. Для периодических испытаний требуется 50÷100 изделий.

Сдаточные испытания проводятся на каждой партии изделий. В процессе сдаточных испытаний проверяются электрические параметры и контрольные размеры изделий. Обычно, программа сдаточных испытаний совпадает с программой производственного контроля ИЭТ. Для сдаточных испытаний требуется 15÷30 ИЭТ.

Типовые испытания проводятся для каждого изделия один раз. В процессе типовых испытаний определяются конкретные величины измеряемых параметров и показатели надежности. Устанавливается реальный разброс параметров в технологическом процессе и в диапазоне температур. Результаты типовых испытаний используются для составления справочных листов и руководящих материалов по применению ИЭТ. Число необходимых изделий определяется программой испытаний. Обычно требуется немного больше ИЭТ, чем для периодических испытаний.

Группы испытаний и выборки

Все категории испытаний проводятся на ограниченных выборках ИЭТ. Очевидно, что все виды испытаний нельзя провести на одной выборке, т.к. есть очень длительные или разрушающие виды. Поэтому, ряд видов испытаний объединяют в одну группу и проводят на одной выборке. Состав групп и объемы выборок определяют ОТУ. Объем выборки для каждой группы может быть разным. Для снижения стоимости образцов для испытаний допускается повторное использование одной выборки для двух групп испытаний, если первая группа не включала разрушающих или очень длительных видов испытаний.

Объем выборки колеблется от 5 до 100 ИЭТ. Самые большие выборки требуются для длительных испытаний на надежность.

В программу сдаточных испытаний обычно входят три группы, называемые С1, С2 и С3. Эти группы объединяют все основные операции контроля ИЭТ на производстве.

Программа периодических испытаний включает уже 6÷8 групп. Состав испытаний начальных групп П1, П2 и П3 соответствует составу групп С1, С2 и С3. Последующие группы включают процедуры проверки надежности, конструктивных и механических параметров.

Квалифицированные испытания включают от 18 до 38 групп. Как правило, состав испытаний начальных групп К1...К6... соответствует составу групп П1...П6.... Остальные группы включают проверку всех оставшихся параметров, записанных в ТУ и ОТУ.

Описанные выше виды испытаний проводятся по граничному принципу: параметры соответствуют требованиям или нет. При проведении типовых испытаний устанавливаются статистически достоверные значения параметров. Наибольшую трудность представляют измерения параметров надежности. Достоверно определить интенсивность отказов в натуральных испытаниях за разумный период времени практически невозможно. Поэтому, основной способ оценки параметров надежности – это ускоренные испытания, основанные на формуле Аррениуса. Принцип организации ускоренных испытаний рассмотрен ранее в нашем курсе лекций.

Результаты испытаний

Если выявление отказа при контроле ИЭТ в производстве – это всего лишь возможная потеря доходов, то каждый отказ на испытаниях – это чрезвычайное происшествие. Ведь все изделия уже прошли контроль и признаны годными. Отказ на сдаточных испытаниях приводит к тому, что вся партия возвращается на самый начальный участок контроля и проходит повторный контроль. При повторном отказе в этой же партии все изделия должны быть забракованы. Отказ на периодических испытаниях приводит к временной остановке приемки ИЭТ. Испытания можно повторить на увеличенных в несколько раз объемах выборок. Если последует повторный отказ, то потребуется остановка производства и его модернизация в соответствии с планом мероприятий. И только после выполнения плана и нового выпуска ИЭТ возможно новое проведение периодических испытаний.

Отказ на квалификационных испытаниях приводит к приостановке освоения производства ИЭТ. Как и в предыдущем случае разрабатывается и согласуется план организационно-технических мероприятий, направленных на повышение качества продукции. Повторные испытания проводятся после завершения работ по плану и изготовления новой установочной партии ИЭТ. Повторные отказы на квалификационных испытаниях означают и отказ в освоении производства.

14. Конструктивная реализация микросхем

Основные определения

Элемент ИМС – часть ИМС, реализующая функцию простого радиоэлемента (диода, транзистора, резистора и т.п.). Элемент не может быть отделен от ИМС и не является самостоятельным изделием.

Компонент – часть ИМС, которая может быть самостоятельным изделием до сборки (корпус, навесной конденсатор, полупроводниковый кристалл и т.д.).

Корпус – часть конструкции ИМС, защищающая кристалл от внешних воздействий и соединяющая его с внешними электрическими цепями через свои выводы.

Кристалл ИМС – часть полупроводниковой пластины, получающаяся после ее резки на прямоугольники, содержащая элементы ИМС, соединения между элементами и контактные площадки.

Степень интеграции ИМС – K .

$K=1+$ целая часть $\lg(Ng)$, где Ng суммарное число элементов и компонентов, входящих в ИМС. Иначе, K – это число десятичных цифр для обозначения величины Ng . Например, для $Ng=32186$ $K=5$.

Серия ИМС – совокупность разных ИМС, объединенных конструктивным исполнением и предназначенных для совместного применения, включая и технологию сборки печатных плат.

Конструктивное исполнение. Различают три основных вида конструктивного исполнения:

- корпусные монолитные микросхемы;
- бескорпусные монолитные микросхемы;
- корпусные гибридные микросхемы и многокристальные модули.

Система условных обозначений и маркировка ИМС.

Маркировка наносится на корпус ИМС и на упаковку. Маркировка включает условное обозначение микросхемы, товарный знак производителя и дату выпуска.

Система условных обозначений включает 7 обязательных и 3 дополнительных элемента. Рассмотрим пример:

$\frac{K}{1}$	$\frac{P}{2}$	$\frac{1}{3}$	$\frac{507}{4}$	$\frac{И}{5}$	$\frac{Е}{6}$	$\frac{1}{7}$
---------------	---------------	---------------	-----------------	---------------	---------------	---------------

Условное обозначение может включать буквы кириллицы и арабские цифры согласно ГОСТ.

Элемент 1 – буква **К** обозначает микросхемы производственно технического назначения. Приемку ИМС осуществляет ОТК. Отсутствие буквы **К** обозначает микросхемы специального назначения, приемку которых проводит Представительство заказчика.

Элемент 2 – буква, характеризующая конструкцию микросхемы:

Б – бескорпусные микросхемы;

Р – пластмассовые корпуса DIP;

М – металлокерамические или стеклокерамические корпуса с выводами вниз;

Е – металлополимерные корпуса с выводами вниз;

А – пластмассовые планарные корпуса;

И – стеклокерамические пластмассовые корпуса;

Н – безвыводные кристаллоносители.

Без буквы - планарные металлокерамические корпуса.

Элемент 3 – цифра, означающая группу по конструктивно - технологическому исполнению.

1 и 2 – кремниевые микросхемы. 6 – арсенид галлия. В старой маркировке элемента 3 нет.

Элемент 4 – три цифры – порядковый номер серии микросхем.

Элемент 5 – одна буква, означающая подгруппу по функциональному назначению.

Элемент 6 – одна буква, означающая вид ИМС по функциональному назначению.

Элемент 7 – от одной до трех цифр – условный номер разработки в данной серии по функциональному признаку. Обозначение из трех цифр используется в случае наличия иностранного функционального аналога с аналогичным трехзначным обозначением. В новых разработках практически не встречается.

Дополнительные элементы маркировки:

После седьмого элемента маркировки может присутствовать буква, характеризующая группу отбора ИМС по электрическим параметрам.

Буквы бывают **А**, **Б** и **В**. Буква **А** – группа с наилучшими параметрами. **Б** – второй сорт, **В** – третий. Буква **В** – практически не встречается в реальной практике.

Пример: КР1507ИЕ1А

Если микросхемы имеют шаг выводов кратный дюйму, то маркировка начинается с буквы **Э**, что означает экспортный вариант.

Пример: ЭКР1507 ИЕ1.

Все остальные микросхемы имеют шаг выводов в метрической системе.

Для бескорпусных микросхем в состав обозначения через дефис вводится цифра, характеризующая модификацию исполнения. Возможны 6 модификаций.

1 – кристаллы с гибкими проволочными выводами;

2 – кристаллы на полиимидном носителе;

3 – кристаллы на жесткой рамке;

4 – неразрезанные пластины;

5 – пластина разрезана и наклеена на пленку;

6 – кристаллы в кассете.

Пример: КБ1507ИЕ1-4

Для бескорпусных микросхем буква Э вначале маркировки никогда не применяется, т.к. выводов еще нет. Маркировка ЭКБ1507ИЕ1-4 неправильная и использоваться не может.

Если микросхемы отличаются типом корпуса, используют один и тот же тип кристаллов, но относятся к разным сериям, то 5, 6, и 7 элементы маркировки у них одинаковые.

Пример: 133ТМ2, К533ТМ2, К1533ТМ2 – это один и тот же кристалл в разных сериях микросхем.

Корпуса для интегральных микросхем

Корпуса отличаются по двум признакам:

- по технологии монтажа на плату;

- по конструкции и технологии изготовления корпуса.

Тип корпуса определяется технологией монтажа на плату. Различают 6 типов корпусов.

Тип 1 – прямоугольный корпус с выводами расположенными перпендикулярно основанию в пределах проекции тела корпуса на плату.

Тип 2 – прямоугольный корпус с выводами в 2 или 4 ряда, сформованными вне проекции тела корпуса на плату.

Тип 3 – круглый корпус с выводами расположенными по кругу перпендикулярно основанию в пределах проекции тела корпуса.

Тип 4 – прямоугольный корпус с планарным расположением выводов, выходящих за пределы основания. Выводы могут быть на двух или четырех сторонах корпуса.

Тип 5 – прямоугольные плоские безвыводные кристаллоносители. Контакты для пайки находятся по периметру тела корпуса.

Корпуса типа 5 могут иметь технологические выводы, такие же, как и у типа 4. Технологические выводы используются при контроле и испытаниях микросхем. Перед монтажом на плату выводы обрезаются, а электрические соединения с платой осуществляются через металлизированные контакты по периметру корпуса.

Тип 6 – прямоугольные плоские безвыводные кристаллоносители, контакты для пайки находятся на основании корпуса в пределах проекции основания на плату. В зарубежной классификации это корпуса типа BGA (Ball Grid Array).

Конструктивно – технологических вариантов корпусов известно четыре:

Пластмассовые корпуса. Кристаллы микросхем монтируются на жесткую рамку, затем защищаются эпоксидным лаком, затем опрессовываются в пластмассу. Лишние детали рамки обрезаются перед измерением микросхем. Выводы держатся за счет связи с пластмассовым

телом корпуса. Это самый дешевый вид сборки. Технология обеспечивает изготовление корпусов типов 2, 4 и 5.

Металлокерамические корпуса. В керамическом теле корпуса спрессованы изолирующие и проводящие слои. В состав композиции входят окись алюминия, окись кремния, металлические порошки. После обжига тело корпуса твердеет. На проводящие слои гальванически осаждается металл (никель или золото). Металлическая рамка приваривается к покрытым металлом проводящим слоям керамики. Кристалл монтируется в полости корпуса и герметизируется металлической крышкой. Металлокерамические корпуса обеспечивают наилучшую герметичность и надежность микросхем. Широко используются в аппаратуре специального назначения. Технология используется для корпусов 2,4,5,6 типов.

Металлостеклянные корпуса. Металлическое основание корпуса и металлическую крышку получают штамповкой из тонких листов. В основании делаются отверстия, в которые вставляются металлические выводы корпуса и привариваются к основанию легкоплавким стеклом. Стекло выполняет функции изоляции, герметизации и крепления выводов корпуса. Кристалл монтируется в полости корпуса и герметизируется металлической крышкой. Герметизация крышки выполняется электросваркой или пайкой с оловянно – свинцовым припоем. Металлические корпуса обеспечивают наилучший теплоотвод, т.к. корпус практически весь металлический. Дорогая технология. Используется для корпусов 1,3,4 типов

Стеклокерамические корпуса. Заготовками для корпуса являются две керамических чашки и металлическая рамка. Рамка приваривается стеклом к основанию корпуса. Кристалл монтируется на основании и соединяется с рамкой. Герметизация микросхемы производится привариванием керамической крышки на стекло. Самый дешевый метод герметичной сборки микросхем. Однако этот метод имеет два существенных недостатка. Температура сварки стеклом 400° - 450°С. Кристаллы микросхем не всегда выдерживают такую температуру и деградируют. Сварочное стекло выделяет при высокой температуре пары окислов металлов, активно разрушающие проводники в микросхемах. Есть модификации корпусов с отверстием в верхней половине корпуса. В этом случае кристалл монтируется в это отверстие после сварки стеклом и герметизируется металлической крышкой. Корпус от этого становится дороже и теряет преимущество в цене перед металлокерамической конструкцией. Отмеченные недостатки очень ограничивают распространение стеклокерамических корпусов. Технология используется для 2 и 4 типов.

В зарубежной классификации корпусов используются обозначения латинскими буквами, которые являются аббревиатурами англоязычных названий корпусов. Например, QFP (Quadrate Flat Package). Широко распространены корпуса следующих типов:

- DIP, PDIP, SOIC (соответствуют типу 2);
- QFP, LQFP, TQFP (соответствуют типу 4);
- PLCC, QFN (соответствуют типу 5);

BGA (соответствует типу 6).

Номенклатура корпусов и соответствующих им обозначений постоянно расширяется, и для расшифровки маркировки требуются специальные справочники или техническая информация от производителя.

Многокристальные модули, бескорпусные и гибридные микросхемы

В аэрокосмической и военной технике всегда явно проявлялась тенденция к уменьшению габаритов электронной аппаратуры за счет усложнения ее конструкции. Для этого используются многокристальные модули (МКМ) и гибридные микросхемы (ГИМС). Нет резкой границы между МКМ и ГИМС. Для их изготовления используются бескорпусные микросхемы, которые сами по себе не являются законченными продуктами. Конструкция МКМ и ГИМС включает достаточно большой металлокерамический корпус типа 1 или типа 4, кварцевую, керамическую или полимерную плату с проводниками, дискретные компоненты (конденсаторы, индукторы), полупроводниковые кристаллы бескорпусных микросхем и соединения навесных компонентов с платой. В МКМ обычно применяются только полупроводниковые кристаллы в качестве навесных компонентов. В ГИМС используется разнообразный набор навесных компонентов и пленочных элементов. МКМ применяются для создания малогабаритной цифровой и аналоговой аппаратуры специального назначения. ГИМС – это часть сверхвысокочастотной (СВЧ) аппаратуры. Например, радиолокаторов или систем космической связи. В СВЧ радиотехнике используются волноводы, резонаторы, аттенюаторы, которые наиболее эффективно реализуются в виде пленочных элементов на диэлектрических платах. Корпуса микросхем в СВЧ устройствах вносят искажения в сигналы. Поэтому, ГИМС – это наиболее эффективная конструкция для блоков СВЧ устройств.

Для МКМ обычно используются многослойные металлокерамические платы, которые делаются по той же технологии, что и металлокерамические корпуса. Кристаллы микросхем монтируются на плату с использованием клея или припоя. Соединение бескорпусных микросхем с платой выполняется роботизированной автоматической сваркой с использованием проволоки или металлизированного полиимидного носителя. Часто используется перевернутый монтаж кристаллов на плату. Для этого на контактных площадках полупроводниковых кристаллов должен быть нанесен металл для пайки (никель или золото), а на платах в местах контактов – шарики припоя. Робот-манипулятор точно фиксирует перевернутый кристалл так, чтобы шарики припоя совпали с контактными площадками. Затем следует кратковременный нагрев кристалла инфракрасным излучением. Шарики припоя служат одновременно электрическими соединениями и элементами несущей конструкции. Перевернутый монтаж не обеспечивает хороший теплоотвод от кристалла, оборудование для монтажа очень дорого. Прогрессивная технология МКМ

использует многослойные полимерные соединители. В этой технологии керамическая плата используется только для крепления кристаллов и теплоотвода. Вся система соединений реализуется в многослойном соединителе на основе фольгированной полиимидной пленки. Технология полимерных соединителей значительно дешевле технологии металлокерамических плат.

Для ГИМС используются полированные с двух сторон кварцевые или керамические пластины. С обратной стороны пластины наносится сплошной металлический слой – заземление. На рабочей стороне пластины методами напыления через маски формируются волноводы, конденсаторы, резисторы, цепи питания и экранирующие заземленные области. Затем на плату монтируются навесные элементы: полупроводниковые кристаллы, диэлектрические резонаторы, ферриты или другие СВЧ компоненты. Соединения навесных компонентов с платой выполняются теми же приемами, что и в МКМ (сварка проволокой, полимерный соединитель, перевернутый монтаж на шарики припоя).

В ряде случаев технология многокристальных модулей использовалась для создания микросхем производственно-технического назначения. Первые процессоры в серии «Пентиум» собирались из нескольких кристаллов и имели кэш-память на отдельных кристаллах. В это же время появились и «Целероны», как кристаллы без внешней кэш-памяти. Сейчас технологическое направление МКМ развивается под лозунгом «система в корпусе» и рассматривается как промежуточный переходный этап к «системе на кристалле». Современное автоматическое оборудование позволяет снизить стоимость МКМ до уровня систем на печатных платах при значительных объемах выпуска ИЭТ. Технические характеристики МКМ (габариты, вес, материалоемкость, надежность) значительно лучше, чем у аппаратуры на печатных платах.

15. Организация разработок микросхем в дизайн-центре

Дизайн-центры в системе разработки и производства ИМС

Ранее в курсе лекций были описаны две основные системы организации микросхем: корпоративная и на заказ. В корпоративной системе производства основная прибыль получается именно от производства изделий. Вклад интеллектуальной собственности в стоимость изделий невелик. При изготовлении микросхем на заказ производители закладывают свою прибыль в стоимость работ и услуг. Заказчик может получить прибыль только за свою интеллектуальную собственность. Поэтому компании, не имеющие собственного производства, конкурируют с корпорациями в секторах новых рискованных проектов и мелкосерийного производства. Если новый сектор рынка начинает быстро развиваться, то в этом секторе появляется продукция крупных корпораций и вытесняет изделия мелких фирм за счет меньшей стоимости. Однако организационная структура крупных корпораций не рассчитана на мелкосерийное производство. Рыночный риск обходится корпорациям дороже.

С возрастанием степени интеграции БИС возрастает и уровень их специализации. Соответственно сужается и область их применения. Область применения мелкосерийных современных Ультра БИС – это промышленная электроника и бытовая электроника высшего качества. Продукты крупных корпораций в основном используются в дешевой бытовой электронике и персональных компьютерах.

Главная задача при организации дизайн-центра – это определение сектора рынка, для которого будут создаваться продукты компании и оценка емкости этого рынка. Если сектор рынка емкий и очень привлекательный, то это не очень хорошо для перспективы компании. Дизайн-центр должен работать на опережение и получить свою долю прибыли, пока корпорации не развернут массовое производство.

Можно выделить пять основных типов предприятий, совместно обеспечивающих полный цикл разработки и производства изделий электронной техники:

- производители фотошаблонов, полупроводниковых материалов и реагентов;
- фабрики по обработке пластин;
- фабрики для сборки и контроля микросхем;
- дизайн-центры;
- центры разработки программного обеспечения и стандартных библиотек.

Россия также оказалась вовлеченной в этот процесс. Старые предприятия постепенно превращаются в специализированные фабрики, а разработка микросхем в основном ведется в дизайн-центрах. Дизайн-центры возникли и как части старых организационных структур, и как новые

компании. Причем почти все дизайн центры ориентированы на разработки микросхем не только для отечественных, но и для зарубежных фабрик.

В процессе разработки микросхем в той или иной степени участвуют все пять типов предприятий, обеспечивающих полный производственный цикл. Успех возможен только в том случае, если организован полноценный обмен информацией между всеми участниками проекта, и у всех есть заинтересованность в освоении производства продукции. Для решения задач координации работ дизайн-центра и сторонних соисполнителей в его структуре должны быть соответствующие подразделения. Так же должна измениться и организация разработок микросхем.

Задачи управления дизайн-центром

Как показал опыт работы нескольких дизайн-центров в Зеленограде, труднее всего налаживать совместные работы с отечественными предприятиями. Им очень мешает прежний опыт работы в СССР. На этих предприятиях нет структур, отвечающих за обмен информацией с дизайн-центрами, нет доверия к соисполнителям и нет кадров для продвижения продукции на международный рынок.

Какие же задачи должны решать структуры управления дизайн-центра?

Во-первых, выбор одного или нескольких направлений развития. Успеха легче достичь, сосредоточившись на решении ограниченного круга проблем. Единый маршрут проектирования, использование наработанных технических решений сокращает затраты и сроки разработок.

Во-вторых, создание инфраструктуры компании, обеспечивающей достижение поставленных целей. Обязательно должны быть отделы управления и разработки микросхем и подразделения, отвечающие за функционирование и развитие САПР.

В-третьих, должны быть налажены связи с фабриками, с поставщиками программного обеспечения и стандартных библиотек элементов, необходимых для функционирования САПР.

Важнейший вопрос – это совместимость программного обеспечения на фабриках и в дизайн-центрах. Опыт показал, что если программы проверки проектных норм в дизайн-центре и на фабрике разные, то и результаты проверки могут различаться даже при использовании одинаковых исходных данных.

В-четвертых, эффективное управление проектами в дизайн-центре - это не только планирование работ и выполнение маршрута разработки, но и координация работ соисполнителей, управление инфраструктурой компании. При этом решаются задачи в двух направлениях:

- обеспечение реализуемости проекта, потребительских качеств разрабатываемого изделия и его конкурентоспособности;
- техническая разработка проекта.

Управление проектами

Целесообразно разделить функции технического и административного управления, назначив менеджером проекта и главным конструктором проекта разных сотрудников.

Обязанности менеджера проекта:

- Организация взаимодействия с заказчиком, соисполнителями и сторонними организациями.
- Маркетинговые исследования.
- Анализ спецификаций на интерфейсы. При необходимости, сертификация интерфейсов.
- Патентные исследования. Подготовка возможных соглашений с правообладателями. Подготовка и реализация плана работ по патентной защите и защите промышленных образцов. Определение стран, в которых требуется патентная защита изделий.
- Информационное обеспечение разработки. Поиск технической литературы и информации из разных источников.
- Поиск и приобретение микросхем-аналогов. Подготовка и реализация плана изучения аналогов.
- Выбор фабрики для производства микросхем по следующим критериям:
 - Технология должна обеспечивать успешную реализацию разработки.
 - На фабрике не должно быть разработчиков аналогичной продукции, так как они могут повлиять на фабрику через местные власти и помешать освоению производства.
 - На фабрике должны быть свободные производственные мощности для реализации программы выпуска продукции.
 - На фабрике должны быть организационные структуры для совместной работы с дизайн-центрами, должен осуществляться регулярный выпуск тестовых партий (шатов), должны распространяться библиотеки цифровых и аналоговых элементов, а также правила проектирования.

Полупроводниковые и сборочно-тестовые фабрики обычно работают по долгосрочным налаженным связям. Необходимо выяснить, соответствуют ли возможности сборочно-тестового производства требованиям на разрабатываемое изделие. Далее потребуется заключить с фабриками соглашение о сотрудничестве или контракт.

Организация связи и обмена информацией с фабриками

Необходимо согласовать план выпуска тестовых партий. Очень желательно получить доступ к результатам измерений тестов, подготовить собственные тестовые структуры и согласовать методики их измерений.

Полностью доверять тестовому контролю на фабрике нельзя, так как объемы этих измерений очень ограничены.

Очень важно установить личные отношения со специалистами и менеджерами на фабриках; по крайней мере, надо знать каковы обязанности конкретных специалистов и их адреса для связи. Как правило, специалисты фабрики не дают дизайн-центрам никаких рекомендаций, а только отвечают на конкретные вопросы. Если вопрос задан человеку, не владеющему информацией или не имеющему требуемый уровень компетенции, то последует туманный ответ или встречный вопрос. Переписка затянется без всякой пользы.

Необходимо организовать доставку в дизайн-центр тестовых образцов. Особое внимание требуется в работе с таможенной. Неправильное или невнимательное оформление таможенных документов грозит потерей нескольких месяцев на дополнительную работу с таможенной.

Управление ресурсами

Кадров, денег и оборудования всегда меньше, чем хочется иметь для выполнения проекта. Нерациональное использование ресурсов не только увеличивает сроки разработок, но и ухудшает атмосферу в коллективе. Во-первых, требуется составить список оборудования и программного обеспечения, без которого невозможно выполнение проекта. Далее подготовить предложения по приобретению или аренде оборудования и программного обеспечения, оценить финансовые затраты. Во-вторых, оборудование эффективно используется, если оно задействовано в нескольких проектах. Необходимо согласовать с другими менеджерами условия и порядок совместного использования имеющегося оборудования. В-третьих, оперативное управление персоналом. Постоянно над проектом работает ограниченное число сотрудников. В соответствии с маршрутом проектирования на разных этапах требуется привлечение сотрудников других подразделений дизайн-центра или временных исполнителей с других предприятий или ВУЗов.

- Анализ результатов исполнения проекта, как с технической, так и с организационной стороны. Текущий анализ рыночной ситуации.
- Подготовка мероприятий по продвижению изделия на рынок.

Обязанности главного конструктора

- Подготовка технического задания (ТЗ).
- Подготовка ТЗ осуществляется в два этапа. На первом этапе проводится информационный и патентный поиск, приобретаются и анализируются микросхемы-аналоги, выполняются теоретические оценки основных параметров микросхемы. Очень важно установить соотношение заявленных и реально измеренных параметров микросхем-аналогов. Точно

надо знать реализуются ли основные параметры аналогов одновременно или в разных режимах. Не всегда это можно установить из описания. На втором этапе выполняется расчет-прогноз параметров разрабатываемого изделия. Основой прогноза являются результаты завершенных разработок.

- Подготовка графика выполнения работ и расчет требуемых ресурсов.
- Разработка маршрута проектирования и его реализация. Маршрут должен содержать общие для всех проектов этапы и дополнительные этапы, характерные только для данного проекта. Состав общих этапов определяется используемым в дизайн-центре оборудованием и программным обеспечением. Дополнительные этапы необходимы для развития маршрута проектирования микросхем по данному направлению. Дополнительные этапы могут корректироваться в ходе выполнения разработки. Разработанный маршрут должен быть обеспечен ресурсами и включать работы соисполнителей (фабрик) по изготовлению тестовых кристаллов и подготовке производства микросхем.
- Разработка методик аттестации микросхем и их составных частей.
- Анализ тестовых кристаллов, опытных образцов и подготовка заключений по анализу и готовности их к освоению производства.
- Разработка методик производственного контроля микросхем и согласование их с фабриками.
- Подготовка материалов для патентования технических решений и защиты промышленных образцов.

Продвижение разработок и освоение производства

Есть проблема, которую главный менеджер и главный конструктор должны решать совместно с руководством дизайн-центра. Это проблема эргономического проектирования и продвижения товара на рынок. Ведь дизайн-центр выпускает и продает не микросхемы, а только информацию о разработанных микросхемах. Выпуском и продажей микросхем должны заниматься соисполнители проекта, которые ничем дизайн-центру не обязаны.

Освоение производства новых изделий потребует от них расходов от нескольких сотен тысяч до миллиона долларов. Менеджеров компаний-соисполнителей надо убеждать в прибыльности таких расходов. Кроме документации непосредственно для разработанной микросхемы требуется еще комплект документов и образцов для демонстрации инвесторам и покупателям.

План работ по подготовке описаний и демонстрационных материалов может включать следующие мероприятия:

- Разработка специального обозначения для новой микросхемы или собственного имени. Например, специальный знак для устройств с USB-портом или собственное имя процессора «Пентиум».

- Подготовка иллюстрированных справочных материалов и презентаций с видеоклипами. Презентации должны включать анализ рыночной ситуации и перспективы продвижения нового изделия, его технические преимущества, наличие интеллектуальной собственности (патентов, промышленных образцов), дополнительные возможности для поддержки разработок, имеющиеся в дизайн-центре.

- Поддержка информационного обеспечения в Интернете.

- Разработка и изготовление демонстрационных объектов (плат с микросхемами или макетов законченных изделий).

- Организация поставки заинтересованным компаниям специальных наборов-конструкторов для изготовления опытных образцов аппаратуры.

- Бесплатная поставка специализированного программного обеспечения, если такое требуется для применения микросхем.

- Поставка заинтересованным компаниям методик и нестандартных стендов контроля микросхем.

Создание имиджа и торговой марки компании

Повышению заинтересованности покупателей, соисполнителей и инвесторов способствует деятельность, направленная на создание имиджа компании. Создание имиджа - это прерогатива руководства дизайн-центра. К средствам создания имиджа серьезной компании относятся:

- Создание и обновление сайта в Интернете.

- Разработка оригинальной символики

- Выпуск рекламной продукции и буклетов.

- Подготовка и организация публикаций в международных научных журналах.

- Участие в научных конференциях.

- Активная патентная политика, т.е. продажа, приобретение и создание интеллектуальной собственности.

- Подготовка и проведение презентаций компании для соисполнителей и инвесторов.

В современных условиях деятельность дизайн-центра должна быть направлена не только на разработки изделий электронной техники, но и на укрепление производственных связей с соисполнителями в условиях жесткой конкуренции с зарубежными компаниями. Создание устойчивых производственных связей с изготовителями микросхем – это не побочная, а одна из основных задач современного дизайн-центра.

16. Подготовка производства изделий электронной техники

В лекции рассматриваются основы подготовки производства на отечественных предприятиях электронной промышленности. За рубежом организация подготовки производства может отличаться от российской, но основные цели и методы остаются неизменными.

Задачи подготовки производства

- Отбор для освоения изделий высокого технического уровня с хорошей рыночной перспективой.
- Проверка полноты технической документации и ее соответствие требованиям стандартов для организации производства и системы контроля качества продукции.
- Обеспечение предприятия методиками и средствами проведения контроля и испытаний.
- Комплексная организация производства, обеспечивающая наименьшую себестоимость при требуемых показателях качества продукции.

Подготовка производства начинается уже в процессе подготовки технического задания на разработку изделия электронной техники (ИЭТ). В техническом задании указывается назначение ИЭТ и основные требования к его техническому уровню, качеству и себестоимости. В процессе разработки контролируется соблюдение требований технического задания, а по завершении проекта предъявляется комплект конструкторской и технологической документации.

Система подготовки производства включает систему контроля качества и экономическую службу, занимающуюся снижением себестоимости.

Организация системы контроля качества

Качество – это способность изделия удовлетворять потребности покупателя в соответствии со своим назначением. Для оценки качества всегда необходимо наличие назначения изделия и потребности в этом изделии. Потребности меняются с развитием общества, а качественные когда-то продукты теряют спрос. Яркий пример – модная одежда, которая через 2 года никому не нужна. Поэтому, даже самое совершенное производство само по себе не может обеспечить качество продукции. Основы качества закладываются на этапах разработки изделий и подготовки их производства.

Производственная система контроля качества продукции нацелена на улучшение комплекса технических параметров изделий. Анализом спроса и продвижением товара на рынок система контроля качества не занимается. Это функция других подразделений предприятия. Когда говорят о качестве изделий, то обычно имеют в виду комплекс технических параметров. Однако

в неявном виде всегда подразумевается наличие спроса на эти продукты. Примером такого двойного подхода к оценке качества может служить производство коллекционных автомобилей сериями от 100 до 1000 штук. Чем меньше серия, тем привлекательней автомобиль для коллекционера и дороже. Технические параметры большого значения уже не имеют.

Комплексная оценка качества изделия осуществляется на основе коэффициента технического уровня (КТУ). Расчет КТУ выполняется в документе, называемом Карта уровня. Карта уровня входит в комплект конструкторской документации. В карте уровня определяются основные показатели изделия, соответствующие его назначению и весовые коэффициенты этих показателей. Далее заполняется таблица параметров для наиболее близких функциональных аналогов. Проводится сравнение параметров разработанного изделия с лучшим значением из таблицы аналогов и вычисляется частный коэффициент уровня для данного параметра. Отношение параметров берется таким образом, что улучшение показателя по назначению приводит к увеличению частного коэффициента уровня. КТУ вычисляется как среднее арифметическое значение произведений весовых и частных коэффициентов уровня. Порядок расчета КТУ и оформления Карты уровня изложен в отраслевом стандарте.

Карта уровня имеет большое значение для принятия решения о начале освоения производства. Считается, что изделия не конкурентоспособны и не перспективны при значениях коэффициента уровня менее 0,8. Целесообразность освоения их производства очень сомнительна. Наоборот, при коэффициенте уровня более 1,0 изделие обладает лучшим в мире комплексом параметров для заданного применения. Освоение производства целесообразно.

Контроль качества организуется в соответствии с принципом максимального разделения структур управления производством и контролем. На заводе электронной промышленности только директор может отдавать распоряжение обеим структурам. Если завод выпускает продукцию специального назначения по Государственному заказу (для министерства обороны, ФСБ, аэрокосмического агентства, Минатома и т.д.), то на нем обязательно имеется Представительство заказчика (ПЗ). Представительства заказчика входят в структуры управления Министерства обороны. Сотрудники ПЗ, работая на предприятиях, являются офицерами или гражданскими служащими Российской армии и зарплату получают в Министерстве обороны. Они не могут быть уволены директором предприятия. Функции ПЗ состоят в надзоре за исполнением требований технологической документации и стандартов качества.

Службой качества руководит заместитель директора по качеству. В службу качества входят: отдел технического контроля (ОТК), отдел испытаний (ОИ), центральная заводская лаборатория (ЦЗЛ), отдел стандартизации, отдел технической документации и другие подразделения. Представительство заказчика содержит свой собственный архив документов. Структура подразделений ПЗ соответствует структуре предприятия, т.е.

каждый цех или отдел имеют своего куратора в ПЗ. Сотрудники ПЗ выборочно контролируют любые производственные и контрольные операции.

Служба качества предприятия контролирует выпуск всей продукции как производственно-технического, так и специального назначения. ПЗ осуществляет дополнительный контроль продукции специального назначения. Хотя ПЗ не проводит никаких дополнительных операций, продукция с приемкой заказчика считается более надежной, т.к. ПЗ обеспечивает более достоверный контроль.

Управление себестоимостью продукции

Если проект завершен без ошибок и технологический маршрут выбран, то на себестоимость продукции влияют объем выпуска, объем операций контроля и испытаний, унификация технических решений и соответствие стандартам. Эти показатели не являются независимыми, а тесно связаны между собой.

Объем операций контроля определяется программой контроля качества. Программа контроля качества определяет, как в процессе производства будут обеспечиваться и контролироваться требования конструкторской документации, нормативных документов и стандартов. Список контролируемых параметров, условия контроля, нормативные документы и стандарты, которым должны соответствовать изделия, приведены в Технических условиях (ТУ). Технические условия являются важнейшим документом в комплекте конструкторской документации. Часть параметров контролируются в процессе производства на каждом ИЭТ, а другая часть параметров обеспечивается конструкцией и технологией изделий. Кроме этого, проводятся испытания ИЭТ на небольших выборках. В процессе испытаний проверяются все параметры, записанные в ТУ.

Расчет себестоимости показывает основные затраты на производство ИЭТ. Себестоимость включает затраты на разработку, которые раскладываются на все выпущенные изделия, прямые затраты на производство и затраты, связанные с контролем и испытаниями. Затраты на разработку и производство определяются сложностью ИЭТ. Затраты на контроль и испытания определяются назначением ИЭТ. Массовые изделия для бытовой техники контролируются в процессе производства только по основным параметрам т.к. потребители сами контролируют их в составе аппаратуры. Наоборот, ИЭТ для сложной аппаратуры специального назначения контролируются по обширной программе. Изготовители сложной штучной и мелкосерийной аппаратуры не имеют возможности контролировать всю номенклатуру комплектующих изделий, поэтому они вынуждены доверять поставщикам и требуют от них строгого соответствия изделий нормативной документации. Часто бывает, что фактически одни и те же микросхемы поставляются в разных сериях и отличаются по цене в

несколько раз. Это отличие в цене определяется затратами на их контроль и испытания.

Роль стандартов в управлении себестоимостью и качеством продукции

В теории управления есть основная аксиома стандартизации:
- в конкурентной борьбе технических систем побеждают системы, имеющие наибольшее число общих элементов.

Система стандартов направлена на развитие общих элементов технических систем. Использование стандартов снижает стоимость разработки и производства технических систем, обеспечивает совместимость и взаимозаменяемость при их использовании, повышает надежность за счет применения проверенных и отработанных решений. Методы стандартизации не входят в курс лекций. Мы отметим только роль стандартов в организации производства ИЭТ.

Не все технические решения могут быть стандартизованы. В противном случае технический прогресс вообще бы остановился. Тем не менее, успешные технические решения, не регламентированные стандартами, могут использоваться в новых проектах. Использование общих технических решений для целого ряда продуктов называется унификацией. В процессе подготовки производства вычисляется коэффициент унификации, который показывает процент ранее использованных технологических и контрольных операций в маршруте производства ИЭТ. Наибольшие отличия в производстве разных ИЭТ касаются сборочных и контрольных операций. Чем выше коэффициент унификации, тем меньше затраты на подготовку производства. Нормальной считается ситуация, при которой коэффициент унификации больше 80%.

Общее правило для конструкторов и технологов электронной промышленности: при сравнительном анализе вариантов технических решений предпочтение должно отдаваться вариантам, проверенным ранее на других ИЭТ и соответствующим требованиям стандартов.

Организационные структуры системы стандартизации

На предприятиях электронной промышленности проверку соответствия продукции требованиям стандартов осуществляет отдел стандартизации. Для облегчения процесса унификации ИЭТ отдел стандартизации разрабатывает стандарты предприятия (СТП). Те же функции в масштабе всей электронной промышленности выполняет организация Электронстандарт, которая разрабатывает отраслевые стандарты (ОСТ). В государственном масштабе действует государственный комитет Госстандарт. Государственные стандарты действуют во всей промышленности вне связи со специализацией предприятий. Стандарты, оставшиеся в наследство от СССР, называются ГОСТ. Постепенно они заменяются новыми российскими стандартами,

называемыми ГОСТ-Р. Все стандарты нижнего уровня (СТП и ОСТ) не должны противоречить стандартам верхнего уровня, а могут только дополнять их и детализировать для конкретных областей применения.

В международном масштабе действует организация ISO (International Standard Organization), в состав которой входит Международная электротехническая комиссия (IEC). Исторически IEC возникла раньше, чем ISO, поэтому она вошла в ISO, сохранив свои организационные структуры. Стандарты ISO имеют рекомендательный характер и не обязательны для всех участников организации. Однако международная торговля ориентируется именно на стандарты ISO. Поэтому, участники организации стремятся привести в соответствие национальные и международные системы стандартов.

Отметим наиболее важные и известные группы стандартов.

ISO-9000 – определяет принципы организации системы контроля качества промышленного предприятия, а также документы по организации контроля. Стандарт ISO-9001 наиболее полный и включает 20 разделов, в которых описаны процедуры контроля качества при разработке, производстве, распространении и технической поддержке промышленной продукции. Стандарты ISO-9002 и ISO-9003 являются частями ISO-9001 и действуют на предприятиях занимающихся только производством или технической поддержкой продукции. Российские предприятия, имеющие опыт работы с Представительством заказчика, быстро осваивают требования стандартов серии ISO-9000, так как структуры контроля качества на этих предприятиях уже есть. Основная проблема в создании автоматизированного документооборота, который требует серьезных затрат на оборудование и обучение персонала. Если система контроля качества предприятия соответствует стандартам ISO-9000, то это предприятие может пройти международный аудит и получить соответствующий сертификат. Сертификат – это пропуск на мировой рынок, но он не гарантирует сбыт продукции.

ЕСКД – единая система конструкторской документации. Система содержит 20 групп стандартов для всех отраслей промышленности. Система постоянно дополняется и развивается. Например, для документов в электронном виде. Система стандартов ЕСКД определяет формы документов, необходимых для разработки и производства продукции во всех отраслях промышленности.